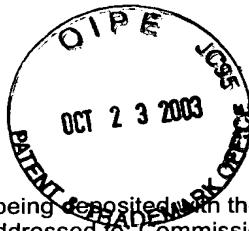


Docket No.: P2001,0119



I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313 20231.

By:  Date: October 21, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applic. No. : 10/650,055
Applicant : Bernhard Sell et al.
Filed : August 26, 2003
Art Unit : to be assigned
Examiner : to be assigned

Docket No. : P2001,0119
Customer No.: 24131

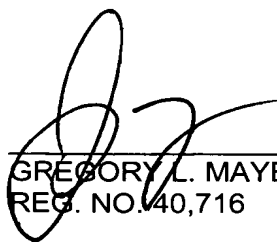
CLAIM FOR PRIORITY

Hon. Commissioner for Patents,
Alexandria, VA 22313-1450
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 101 09 218.0 filed February 26, 2001.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,



GREGORY L. MAYBACK
REG. NO. 40,716

Date: October 21, 2003

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/mjb



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 101 09 218.0

Anmeldetag: 26. Februar 2001

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Verfahren zur Herstellung eines Speicher-
kondensators

IPC: H 01 L 21/8242

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 17. Juli 2003
Deutsches Patent- und Markenamt

Der Präsident
Im Auftrag

A handwritten signature in black ink, likely belonging to the President of the German Patent and Trademark Office.

Beschreibung

Verfahren zur Herstellung eines Speicherkondensators

- 5 Die vorliegende Erfindung betrifft ein Verfahren zur Herstellung eines Speicherkondensators zur Verwendung in einer DRAM-Speicherzelle, bei dem die untere Kondensatorelektrode als metallische Elektrode ausgeführt wird.
- 10 In Speicherzellenanordnungen mit dynamischem, wahlfreiem Zugriff werden fast ausschließlich sogenannte Eintransistor-Speicherzellen eingesetzt. Eine Eintransistor-Speicherzelle umfaßt einen Auslesetransistor und einen Speicherkondensator. In dem Speicherkondensator ist die Information in Form einer
- 15 elektrischen Ladung gespeichert, die eine logische Größe, 0 oder 1, darstellt. Durch Ansteuerung des Auslesetransistors über eine Wortleitung kann diese Information über eine Bitleitung ausgelesen werden. Zur sicheren Speicherung der Ladung und gleichzeitigen Unterscheidbarkeit der ausgelesenen
- 20 Information muß der Speicherkondensator eine Mindestkapazität aufweisen. Die untere Grenze für die Kapazität des Speicherkondensators wird derzeit bei 25 fF gesehen.
- 5 Da von Speichergeneration zu Speichergeneration die Speicherdichte zunimmt, muß die benötigte Fläche der Eintransistor-Speicherzelle von Generation zu Generation reduziert werden. Gleichzeitig muß die Mindestkapazität des Speicherkondensators erhalten bleiben.
- 30 Bis zur 1 Mbit-Generation wurden sowohl der Auslesetransistor als auch der Speicherkondensator als planare Bauelemente realisiert. Ab der 4 Mbit-Speichergeneration wurde eine weitere Flächenreduzierung der Speicherzelle durch eine dreidimensionale Anordnung von Auslesetransistor und Speicherkondensator
- 35 erzielt. Eine Möglichkeit besteht darin, den Speicherkondensator in einem Graben zu realisieren (siehe z.B. K. Yamada et al., Proc. Intern. Electronic Devices and Materials IEDM 85,

S. 702 ff). Als Elektroden des Speicherkondensators wirken in diesem Fall ein an die Wand des Grabens angrenzendes Diffusionsgebiet sowie eine dotierte Polysiliziumfüllung, die sich im Graben befindet. Die Elektroden des Speicherkondensators sind somit entlang der Oberfläche des Grabens angeordnet. Dadurch wird die effektive Fläche des Speicherkondensators, von der die Kapazität abhängt, gegenüber dem Platzbedarf für den Speicherkondensator an der Oberfläche des Substrats, der dem Querschnitt des Grabens entspricht, vergrößert. Durch Reduktion des Querschnitts des Grabens läßt sich die Packungsdichte weiter erhöhen. Der Vergrößerung der Tiefe des Grabens sind dabei aus technologischen Gründen jedoch Grenzen gesetzt.

Bei einem alternativen Kondensatorkonzept wird der Speicherkondensator als Stapel auf dem Auswahltransistor gebildet.

Aus der US-A-5,760,434 ist ein Verfahren zur Herstellung einer DRAM-Speicherzelle mit einem Stapelkondensator bekannt, bei dem nach Bildung des Auswahltransistors und Erzeugen einer Polysilizium-Verbindungsstruktur zu den aktiven Bereichen des Transistors die sich ergebende Oberfläche mit beispielsweise BPSG planarisiert wird und sodann Kontaktlöcher bis zu den Verbindungsstrukturen geätzt werden. Anschließend wird auf der gesamten Oberfläche, also auch außerhalb der Kontaktlöcher, Polysilizium und nachfolgend beispielsweise Wolfram abgeschieden. Durch einen darauf folgenden Temperaturbehandlungsschritt wird die Silizidbildung verursacht. Anschließend wird das nicht umgesetzte Metall durch einen selektiven Ätzprozeß entfernt. Das außerhalb der Kontaktlöcher gebildete Wolframsilizid wird später durch chemisch-mechanisches Polieren entfernt.

Aus der US-A-5,905,279 ist eine Speicherzelle mit einem in einem Graben angeordneten Speicherkondensator und einem Auswahltransistor bekannt, bei dem der Speicherkondensator eine an eine Wand des Grabens angrenzende untere Kondensatorelek-

trode, ein Kondensatordielektrikum und eine obere Kondensatorelektrode aufweist und die obere Kondensatorelektrode eine leitende Schicht, insbesondere aus WSi, TiSi, W, Ti oder TiN, umfaßt.

5

In der noch unveröffentlichten Deutschen Patentanmeldung DE 199 41 096.8 wird überdies vorgeschlagen, bei einer Speicherzelle mit Auswahltransistor und Grabenkondensator die untere Kondensatorelektrode als metallische Elektrode auszubilden.

10

Die metallische Elektrode wird gebildet, indem in dem Graben, der im oberen Bereich mit einer Siliziumnitrid-Spacerschicht ausgekleidet ist, durch ein CVD-Verfahren ganzflächig Wolframsilizid abgeschieden wird. Darauf folgend wird durch Abscheidung von Photolack in dem Graben der untere Teil des Grabens mit einer Lackfüllung versehen, welche in einem darauf folgenden Schritt zum Ätzen des Wolframsilizids als Ätzmaske dient. Anschließend wird die Photolackfüllung entfernt und der Kondensator und darauf folgend die Speicherzelle in bekannter Weise fertiggestellt.

20

Der vorliegenden Erfindung liegt die Aufgabe zugrunde, ein verbessertes Verfahren zur Herstellung eines Speicherkondensators bereitzustellen.

5

Gemäß der vorliegenden Erfindung wird die Aufgabe durch ein Verfahren zur Herstellung eines Speicherkondensators zur Verwendung in einer DRAM-Speicherzelle mit den Schritten zum Bilden einer unteren metallischen Kondensatorelektrode, eines Speicherdielektrikums und einer oberen Kondensatorelektrode gelöst, wobei die untere metallische Kondensatorelektrode in der Weise selbstjustiert auf einem Silizium-Grundmaterial gebildet wird, daß zunächst freiliegende Silizium-Bereiche an den Stellen, an denen die untere Kondensatorelektrode zu bilden ist, erzeugt werden und sodann auf den freiliegenden Silizium-Bereichen Metallsilizid selektiv gebildet wird.

30

35

Insbesondere wird die Aufgabe durch ein Verfahren zur Herstellung einer Speicherzelle mit einem Speicherkondensator, der als Grabenkondensator ausgeführt ist, und einem Auswahltransistor, mit den Schritten zum Ätzen eines Grabens in eine Hauptfläche eines Halbleitersubstrats, zum Durchführen des vorstehend beschriebenen Verfahrens, wobei der Speicherkondensator zumindest teilweise in dem Graben angeordnet wird und die untere metallische Kondensatorelektrode an eine Wand des Grabens angrenzt, und zum Bilden des Auswahltransistors mit Source-Elektrode, Drain-Elektrode, leitendem Kanal und Gate-Elektrode, wobei die obere Kondensatorelektrode mit der Source- oder Drain-Elektrode des Auswahltransistors elektrisch leitend verbunden wird, gelöst.

Ferner wird die Aufgabe durch ein Verfahren zur Herstellung einer Speicherzelle mit einem Speicherkondensator, der als Stapelkondensator ausgeführt ist, und einem Auswahltransistor, mit dem Schritt zum Bilden eines Auswahltransistors mit Source-Elektrode, Drain-Elektrode, leitendem Kanal und Gate-Elektrode auf einer Hauptfläche eines Halbleitersubstrats, den Schritten des vorstehend beschriebenen Verfahrens, so daß die untere Kondensatorelektrode auf einer elektrisch leitenden Verbindungsstruktur aus Polysilizium, die die untere Kondensatorelektrode mit der Source- oder Drain-Elektrode des Auswahltransistors verbindet, auf der sich ergebenden Oberfläche gebildet wird, gelöst.

Das erfindungsgemäße Verfahren zur Herstellung eines Speicherkondensators beruht somit im wesentlichen darauf, daß die untere Kondensatorelektrode des Speicherkondensators selbstjustiert gebildet wird. Genauer gesagt, wird bei dem erfindungsgemäßen Verfahren die untere Kondensatorelektrode aus einem Metallsilizid selektiv auf freiliegenden Silizium-Bereichen gebildet. Der Ausdruck „freiliegende Silizium-Bereiche“ umfaßt dabei alle Arten von Silizium, insbesondere einkristallines Silizium und polykristallines Silizium (Polysilizium) aber auch beispielsweise amorphes Silizium.

Freiliegende Silizium-Bereiche können gemäß der vorliegenden Erfindung insbesondere dadurch erzeugt werden, daß auf einem Silizium-Grundmaterial die Bereiche, auf denen die untere Kondensatorelektrode nicht gebildet werden soll, mit einem Abdeckmaterial, beispielsweise Si_3N_4 oder SiO_2 oder einer Kombination dieser Material abgedeckt werden. Selbstverständlich sind aber auch andere Abdeckmaterialien denkbar.

Alternativ kann auf einem Nicht-Silizium-Grundmaterial eine strukturierte Polysiliziumschicht aufgebracht werden, beispielsweise, indem Polysilizium zunächst ganzflächig aufgebracht wird und anschließend an den Stellen, an denen die untere Kondensatorelektrode nicht gebildet werden soll, beispielsweise durch Ätzen oder chemisch-mechanisches Polieren wieder entfernt wird.

Durch das erfindungsgemäße Verfahren werden folgende Vorteile erzielt:

- 20 - Die untere Elektrode des Speicherkondensators wird als eine Metallelektrode realisiert. Da Metall eine höhere Austrittsarbeit als dotiertes Silizium, welches bisher als untere Kondensatorelektrode verwendet wurde, aufweist, werden infolge der erhöhten Tunnelbarriere die Leckströme verringert. Als Folge kann bei vorgegebenem maximalem Leckstrom unter Verwendung einer metallischen Elektrode die Schichtdicke des Dielektrikums reduziert werden, wodurch die Kapazität des Kondensators erhöht wird.
- 30 - Ein weiterer Vorteil der Metallelektrode gegenüber einer Kondensatorelektrode aus dotiertem Silizium ist die erhöhte Kapazität der Metallelektrode, da an ihr keine Verarmungszone gebildet wird.
- 35 - Die selbstjustierte Bildung der Metallsilizidschicht auf freiliegenden Silizium-Bereichen ist weniger kompliziert als das vorstehend beschriebene Verfahren, bei dem die Metallsi-

lizidschicht ganzflächig aufgebracht und anschließend selektiv geätzt wird. Insbesondere, wenn das Abdeckmaterial zum Abdecken der Siliziumbereiche, auf denen keine Metallsilizidschicht erzeugt werden soll, später als Isolationskragen des Speicher kondensators oder als Diffusionsbarriere wirkt, erfordert die selbstjustierte Bildung der Metallsilizidschicht keine zusätzlichen Prozeßschritte zur Strukturierung.

10 - Bei dem herkömmlichen Verfahren ist es schwierig sicherzustellen, daß die Metallsilizidschicht im Bereich des Siliziumnitrid-Spacers selektiv entfernt wird, während sie im unteren Bereich des Grabens vollständig verbleibt, so daß kein freiliegendes Silizium in Kontakt mit dem Kondensatordielektrikum steht. Im Gegensatz dazu wird bei einer selbstjustierten Bildung von Metallsilizid gewährleistet, daß sämtliche freiliegende Siliziumbereiche von einer Metallsilizidschicht bedeckt sind. Dies ist sehr wichtig, um Leckströme zu minimieren, da diese über freiliegende Siliziumbereiche, die in Kontakt mit dem Kondensatordielektrikum stehen, fließen würden. Wenn Leckströme minimiert werden, kann umgekehrt wieder die Schichtdicke des Kondensatordielektrikums reduziert werden, wodurch die Kapazität des Kondensators erhöht wird.

25 - Da bei dem herkömmlichen Verfahren Photolack den unteren Bereich der Gräben auffüllt und anschließend wieder entfernt wird, ergeben sich Probleme bei einer weiteren Strukturverkleinerung. Das erfindungsgemäße Verfahren hingegen ist problemlos auf kleinere Größen skalierbar.

30 - Das erfindungsgemäße Verfahren ist mit oberflächenvergrößernden Maßnahmen wie beispielsweise dem HSG-Verfahren (Aufrauhung der Siliziumoberfläche, „hemispherical graining“) oder Mesoporen-Ätzung kombinierbar.

35 - Die durch das erfindungsgemäße Verfahren herstellbare Elektrodenanordnung ist temperaturstabil und hält alle nachfolgenden Schritte des derzeit eingesetzten DRAM-Prozesses aus.

Gemäß einer Ausführungsform der vorliegenden Erfindung, bei der der Kondensator als Grabenkondensator ausgeführt wird, werden zur Bildung der unteren metallischen Kondensatorelektrode zunächst ausgewählte Bereiche des Grabens, an denen die untere Kondensatorelektrode nicht gebildet werden soll, mit einem Abdeckmaterial, beispielsweise Siliziumnitrid, Siliziumdioxid oder einer Kombination dieser Materialien, bedeckt.

10 Zweckmäßigerweise wird ein Abdeckmaterial mit einer derartigen Zusammensetzung und in einer derartigen Dicke aufgebracht, daß es später als Isolationskragen des fertigen Speicherkondensators oder als Diffusionsbarriere wirken wird. In diesem Fall wird das Herstellungsverfahren insbesondere vereinfacht, weil keine zusätzlichen Schritte zur Strukturierung des Silizium-Grundmaterials notwendig sind.

Gemäß einer anderen Ausführungsform der vorliegenden Erfindung, bei der der Kondensator als Stapelkondensator ausgeführt wird, wird Polysilizium selektiv nur an den Stellen der Oberfläche aufgebracht, an denen später auch die untere Kondensatorelektrode hergestellt werden soll. Auch in diesem Fall wird das Herstellungsverfahren dadurch vereinfacht, daß keine zusätzlichen Schritte zur Strukturierung des Silizium-Grundmaterials notwendig sind.

Sodann wird auf den freiliegenden Siliziumbereichen Metallsilizid selektiv gebildet.

30 Dies kann beispielsweise durch ein Verfahren erfolgen, das auch als sogenanntes salicide-Verfahren („self-aligned silicide“) bekannt ist. Dazu wird eine Metallschicht, beispielsweise Wolfram, Titan, Tantal, Molybdän, Kobalt, Nickel, Niob-Platin, Palladium oder ein Seltenerdmetall abgeschieden.

35 Nachfolgend wird ein Temperaturbehandlungsschritt, beispielsweise je nach verwendetem Metall in einer Stickstoffatmosphäre bei einer Temperatur von 600 bis 1000°C durchgeführt. Bei

diesem Temperaturbehandlungsschritt reagiert das abgeschiedene Metall mit darunterliegendem Silizium zu Metallsilizid, das auf dem Abdeckmaterial abgeschiedene Metall reagiert nicht. In einem darauf folgenden selektiven Ätzschritt wird
5 das nicht umgesetzte Metall weggeätzt und das Metallsilizid verbleibt auf den Siliziumbereichen.

Gemäß einer bevorzugten Ausführungsform der vorliegenden Erfindung kann der Schritt zur Temperaturbehandlung so durchgeführt werden, daß nicht die vollständige Metallschicht durchsilizidiert wird. Dadurch wird der zusätzliche Vorteil erreicht, daß eine Inhomogenität bei der Metallabscheidung ausgeglichen werden kann, da an den Stellen, an denen das Metall mit einer größeren Schichtdicke abgeschieden wurde, das nicht
10 umgewandelte Metall im nachfolgenden Schritt wieder entfernt wird. Durch diese Maßnahme können vorteilhafterweise sehr dünne Metallelektroden mit minimalen Kapazitätsverlusten realisiert werden.

20 Die selektive Bildung von Metallsilizid kann aber auch durch eine selektive Metallsilizid-Abscheidung erfolgen. Beispielsweise ist es bei einer genauen Parametereinstellung möglich, unter Verwendung eines Gasphasenverfahrens mit einem metallhaltigen Gas, beispielsweise WF_6 , eine selektive Reaktion
25 des metallhaltigen Gases mit dem freiliegenden Silizium herbeizuführen. In diesem Fall wird das freiliegende Silizium an der Oberfläche etwas weggeätzt und geht während des Abscheideverfahrens eine Reaktion mit dem metallhaltigen Gas ein, wobei sich unter anderem eine Metallsilizidschicht bildet.

30 Alternativ ist es aber auch möglich, daß die Metallsilизid-schicht durch ein CVD-Verfahren unter Verwendung eines siliziumhaltigen Gases, beispielsweise SiH_4 oder SiH_2Cl_2 , und eines metallhaltigen Gases, beispielsweise WF_6 , $TaCl_5$ oder
35 $TiCl_4$, unter geeigneten Bedingungen selektiv auf den freiliegenden Siliziumbereichen gebildet wird.

Die Verfahren zur selektiven Abscheidung eines Metallsilizids sind dahingehend vorteilhaft, daß kein nachfolgender Schritt zur Temperaturbehandlung notwendig ist. Allerdings müssen die Abscheidebedingungen, insbesondere Druck und Temperatur, sehr
5 genau eingestellt werden, wodurch das Prozeßfenster verkleinert wird und sich die Frage stellt, inwieweit diese Verfahren in der industriellen Chipfertigung einsetzbar sind.

Gemäß der vorliegenden Erfindung kann das Substrat, in dem
10 die Speicherzelle gebildet wird, ein gewöhnliches Siliziumsubstrat oder aber auch ein SOI-Substrat (Silicon on Insulator oder Silizium auf Isolatorsubstrat) sein. Die Verwendung eines SOI-Substrats ist dahingehend vorteilhaft, daß der Verfahrensablauf weiter vereinfacht werden kann, da die vergrabene Siliziumdioxidschicht als Ätzstoppschicht wirkt. Insbe-
15 sondere muß bei Verwendung eines SOI-Substrats kein ausreichend dicker (ca. 20 nm) Isolationskragen im oberen Grabenbereich abgeschieden werden, wodurch bei Verwendung eines Siliziumsubstrats die Grabenöffnung stark verengt und entsprechend der Verfahrensablauf erschwert wird.
20

Gemäß der vorliegenden Erfindung kann die effektive Kondensatorfläche und damit die Kapazität des Speicherkondensators dadurch erhöht werden, daß nach dem Schritt zur Erzeugung
25 freiliegender Silizium-Bereiche an diesen Bereichen oberflächenvergrößernde Maßnahmen durchgeführt werden. Beispielsweise können Mesoporen geätzt werden, oder es kann ein Verfahren zur Kristallisation einer zuvor aufgetragenen amorphen Siliziumschicht durch Aufbringen von Kristallisationskeimen und
30 eine nachfolgende Temperaturbehandlung durchgeführt werden. Selbstverständlich kann auch jedes andere Verfahren zur Oberflächenvergrößerung vor Aufbringen der Metallschicht bzw. Metallsilizidschicht durchgeführt werden.

35 Die vorliegende Erfindung wird im folgenden unter Bezugnahme auf die begleitenden Zeichnungen näher erläutert:

Figur 1 bis Figur 7 zeigt die Schritte zur Herstellung der unteren Elektrode einer Speicherzelle gemäß einer ersten Ausführungsform der vorliegenden Erfindung;
Figur 8 bis Figur 14 zeigt die Schritte zur Herstellung der unteren Elektrode einer Speicherzelle gemäß einer zweiten Ausführungsform der vorliegenden Erfindung;
Figur 15 bis Figur 18 zeigt die Schritte zur Herstellung der unteren Elektrode einer Speicherzelle gemäß einer dritten Ausführungsform der vorliegenden Erfindung;
und
Figur 19 zeigt das Layout in einer $8F^2$ -Zellarchitektur.

In Figur 1 bezeichnet Bezugszeichen 1 ein Siliziumsubstrat mit einer Hauptfläche 2. Auf der Hauptfläche 2 werden eine 5 nm dicke SiO_2 -Schicht 3 und eine 200 nm dicke Si_3N_4 -Schicht 4 aufgebracht. Darauf wird eine 1000 nm dicke BSG-Schicht (nicht dargestellt) als Hartmaskenmaterial aufgebracht.

Unter Verwendung einer photolithographisch erzeugten Maske (nicht dargestellt) werden die BSG-Schicht, die Si_3N_4 -Schicht 4 und die SiO_2 -Schicht 3 in einem Plasma-Ätzprozeß mit CF_4/CHF_3 strukturiert, so daß eine Hartmaske gebildet wird. Nach Entfernung der photolithographisch erzeugten Maske werden unter Verwendung der Hartmaske als Ätzmaske in einem weiteren Plasma-Ätzprozeß mit HBr/NF_3 Gräben 5 in die Hauptfläche 1 geätzt. Nachfolgend wird durch eine nasse Ätzung mit H_2SO_4/HF die BSG-Schicht entfernt.

Die Gräben 5 weisen beispielsweise eine Tiefe von 5 μm , eine Weite von 100 x 250 nm und einen gegenseitigen Abstand von 100 nm auf.

Nachfolgend wird eine 10 nm dicke SiO_2 -Schicht 6, die auch, beispielsweise durch in-situ-Dotierung, dotiert sein kann, abgeschieden. Die abgeschiedene SiO_2 -Schicht 6 bedeckt mindestens die Wände der Gräben 5. Durch Abscheidung einer 200 nm dicken Polysiliziumschicht, chemisch-mechanisches Polieren

bis zur Oberfläche der Si_3N_4 -Schicht 4 und Zurückkätzen der Polysiliziumschicht mit SF_6 wird in den Gräben 5 jeweils eine Polysiliziumfüllung 7 erzeugt, deren Oberfläche 1000 nm unterhalb der Hauptfläche 2 angeordnet ist (siehe Figur 1). Das chemisch-mechanische Polieren kann dabei gegebenenfalls entfallen. Die Polysiliziumfüllung 7 dient als Opferschicht für die nachfolgende Si_3N_4 -Spacerabscheidung. Darauf folgend wird die SiO_2 -Schicht 6 auf den Wänden der Gräben 5 isotrop geätzt.

Anschließend wird in einem CVD-Verfahren eine 20 nm dicke Spacerschicht 9, die Siliziumnitrid- und/oder Siliziumdioxid umfaßt, abgeschieden und in einem anisotropen Plasma-Ätzprozeß mit CHF_3 geätzt. Die soeben abgeschiedene Spacerschicht 9 dient als Abdeckmaterial bei dem Schritt zur selektiven Bildung des Metallsilizids auf freiliegenden Siliziumbereichen. In der fertigen Speicherzelle dient sie zum Abschalten des parasitären Transistors, der sich sonst an dieser Stelle bilden würde, und übernimmt somit die Rolle des Isolationskragens.

Mit SF_6 wird nachfolgend Polysilizium selektiv zu Si_3N_4 und SiO_2 geätzt. Dabei wird die Polysiliziumfüllung 7 jeweils vollständig aus dem Graben 5 entfernt. Durch eine Ätzung mit $\text{NH}_4\text{F}/\text{HF}$ wird der nunmehr freiliegende Teil der SiO_2 -Schicht 6 entfernt (siehe Figur 2).

Gegebenenfalls wird nun zur Aufweitung der Gräben 5 in ihrem unteren Bereich, d.h. in dem der Hauptfläche 2 abgewandten Bereich, Silizium selektiv zu der Spacerschicht geätzt. Dies erfolgt beispielsweise durch einen isotropen Ätzschritt mit Ammoniak, bei dem Silizium selektiv zu Si_3N_4 geätzt wird. Die Ätzdauer wird so bemessen, daß 20 nm Silizium geätzt werden. Dadurch wird der Querschnitt im unteren Bereich der Gräben 5 um 40 nm aufgeweitet. Dadurch kann die Kondensatorfläche und damit die Kapazität des Kondensators weiter vergrößert werden.

In den Zeichnungen ist der Prozeßablauf mit nicht aufgeweiteten Gräben veranschaulicht.

5 Anschließend erfolgt, falls dies nicht schon durch das dotierte Oxid geschehen ist, eine Dotierung des Silizium-Substrats. Dies kann beispielsweise durch Abscheidung einer Arsen-dotierten Silikatglasschicht in einer Schichtdicke von 50 nm und einer TEOS-SiO₂-Schicht in einer Dicke von 20 nm
10 und einen anschließenden Temperaturbehandlungsschritt bei 1000°C, 120 Sekunden, wodurch durch Ausdiffusion aus der Arsen-dotierten Silikatglasschicht in dem Siliziumsubstrat 1 ein n⁺-dotiertes Gebiet 11 gebildet wird, geschehen. Alternativ kann auch eine Gasphasendotierung durchgeführt werden,
15 zum Beispiel mit folgenden Parametern: 900°C, 399 Pa Tributylarsin (TBA) [33 Prozent], 12 min.

Durch das n⁺-dotierte Gebiet wird die Verarmungszone verkleinert, wodurch die Kapazität des Kondensators weiter erhöht
20 wird. Bei Verwendung einer metallischen Bottom-Elektrode dient diese dotierte Schicht zur Herstellung eines ohmschen Kontaktes zwischen Substrat und Metall.

Darauf folgend wird eine 10 nm dicke Wolframschicht 12 beispielsweise durch ein CVD-Verfahren ganzflächig abgeschieden
25 (siehe Figur 3).

In einem nachfolgenden Temperaturbehandlungsschritt bei 600 bis 800°C in einer Stickstoffatmosphäre (N₂-RTP, „Rapid Thermal Annealing“) wird das selbstjustierte Wolframsilizid gebildet. Genauer gesagt, bildet sich nur an den Stellen, an denen das Wolfram direkt auf dem Silizium abgeschieden wurde, Wolframsilizid 13, während das Metall, das direkt auf dem Nitrid abgeschieden wurde, nicht mit dem Substrat reagiert.
30 Dies ist in Figur 4 veranschaulicht. Eine geringfügige Aufweitung der Kondensatorgräben ergibt sich bei diesem Schritt
35

dadurch, daß für die Wolframsilizidbildung Silizium an den Wänden der Gräben verbraucht wird.

5 Gemäß einer bevorzugten Ausführungsform kann dieser Temperaturbehandlungsschritt so eingestellt werden, daß nicht das komplette Wolfram durchsilizidiert wird. Dadurch können, wie vorstehend beschrieben, besonders dünne Metallelektroden realisiert werden. Zusätzlich können Inhomogenitäten in der Schichtdicke des Metalls ausgeglichen werden.

10

Schließlich wird das Wolfram selektiv zum Wolframsilizid geätzt. Dies kann beispielsweise durch Naßätzen in $\text{H}_2\text{O}/\text{NH}_4\text{OH}/\text{H}_2\text{O}_2$ erfolgen (siehe Figur 5).

15 Durch diesen Schritt wird der Teil der Wolframschicht, der auf dem freiliegenden Silizium abgeschieden war und mit diesem während des Temperaturbehandlungsschritts zu Wolframsilizid reagiert hat, nicht angegriffen, während der Teil der Wolframschicht, der auf dem Siliziumnitrid oder Siliziumdi-
20 oxid abgeschieden war, sowie gegebenenfalls der nicht umgesetzte Teil der auf dem Silizium abgeschiedenen Wolframschicht wieder entfernt wird. Entsprechend liegt nach diesem selektiven Ätzschritt eine selbstjustierte Wolframsilizidschicht vor, die die zuvor freiliegenden Siliziumbereiche be-
25 deckt. Somit ist sichergestellt, daß nach der nachfolgenden Abscheidung des Dielektrikums keine freiliegenden Siliziumbereiche in direktem Kontakt mit dem Dielektrikum stehen, wodurch die Leckströme minimiert werden.

30 Als alternative Verfahren zur selbstjustierten Bildung von Metallsilizid können selbstverständlich die vorstehend näher beschriebenen Verfahren verwendet werden.

35 Gegebenenfalls kann darauf folgend ein zweiter Temperaturbehandlungsschritt bei 960°C in einer Stickstoffatmosphäre durchgeführt werden (N_2 -RTP, „Rapid Thermal Annealing“). Durch diesen Schritt werden das gebildete WSi_x restrukturiert

und freie Wolfram- und Silizium-Bindungen durch Stickstoff abgesättigt.

Nachfolgend wird als Kondensatordielektrikum eine 5 nm dicke dielektrische Schicht 14 abgeschieden, die SiO_2 und Si_3N_4 sowie gegebenenfalls Siliziumoxynitrid enthält. Diese Schichtabfolge kann durch Schritte zur Nitridabscheidung und zur thermischen Oxidation, bei der Defekte in der darunterliegenden Schicht ausgeheilt werden, realisiert werden. Alternativ enthält die dielektrische Schicht 14 Al_2O_3 (Aluminiumoxid), TiO_2 (Titandioxid), Ta_2O_5 (Tantaloxid). Anschließend wird eine 200 nm dicke in-situ dotierte Polysiliziumschicht 15 abgeschieden, wie in Figur 6 gezeigt ist. Durch chemisch-mechanisches Polieren wird die Polysiliziumschicht 15 bis auf die Oberfläche der Si_3N_4 -Schicht 4 entfernt.

Darauf folgend wird der standardmäßige DRAM-Prozeß durchgeführt, durch den die obere Kondensatorelektrode geeignet strukturiert und an das Source-/Drain-Gebiet eines Auswahltransistors angeschlossen wird.

Dies kann beispielsweise durch Ätzen der Polysiliziumfüllung 15 auf etwa 100 nm unterhalb der Hauptfläche 2 geschehen. Es folgt eine Si_3N_4 -Ätzung mit HF /Ethylenglycol, bei der 10 nm Si_3N_4 geätzt werden und eine Ätzung mit $\text{NH}_4\text{F}/\text{HF}$, mit der SiO_2 und dielektrisches Material geätzt werden. Nach einer Sacrificial oxidation zur Bildung eines Streuoxids (nicht dargestellt) wird eine Implantation durchgeführt, bei der ein n^+ -dotiertes Gebiet 16 in der Seitenwand jedes Grabens 5 im Bereich der Hauptfläche 2 gebildet wird. Wie in Figur 7 gezeigt ist, wird oberhalb der Polysiliziumfüllung 15 verbliebener Freiraum in dem jeweiligen Graben 5 durch Abscheidung von in-situ-dotiertem Polysilizium und Rückätzen des Polysiliziums mit SF_6 mit einer Polysiliziumfüllung 10 aufgefüllt. Die Polysiliziumfüllung 15 wirkt im fertigen Speicherkondensator als obere Kondensatorelektrode. Die Polysiliziumfüllung 10 wirkt als Anschlußstruktur zwischen dem n^+ -dotierten Gebiet

16 und der als obere Kondensatorelektrode wirkenden Polysiliziumfüllung 15.

Nachfolgend werden Isolationsstrukturen 8 erzeugt, die die
5 aktiven Gebiete umgeben und damit definieren. Dazu wird eine
Maske gebildet, die die aktiven Gebiete definiert (nicht dargestellt). Durch nicht-selektives Plasma-Ätzen von Silizium,
Siliziumnitrid, SiO_2 und Polysilizium mit Hilfe von
 $\text{CHF}_3/\text{N}_2/\text{NF}_3$, wobei die Ätzdauer so eingestellt wird, daß 200
10 nm Polysilizium geätzt werden, durch Entfernen der dabei verwendeten
Lackmaske mit O_2/N_2 , durch naßchemisches Ätzen von 3
nm dielektrischer Schicht, durch Oxidation und Abscheidung
einer 5 nm dicken Si_3N_4 -Schicht und durch Abscheidung einer
250 nm dicken SiO_2 -Schicht in einem TEOS-Verfahren und an-
15 schließendes chemisch-mechanisches Polieren werden die Isolationsstrukturen 8 fertiggestellt. Durch Ätzen in heißer H_3PO_4
wird nachfolgend die Si_3N_4 -Schicht 4 und durch Ätzen in verdünnter
Flußsäure die SiO_2 -Schicht 3 entfernt.

20 Durch eine Sacrificial oxidation wird nachfolgend ein
Streuoxid gebildet. Es werden photolithographisch erzeugte
Masken und Implantationen eingesetzt zur Bildung von n-dotierten
Wannen, p-dotierten Wannen und zur Durchführung von
Einsatzspannungsimplantationen im Bereich der Peripherie und
25 der Auswahltransistoren des Zellenfelds. Ferner wird eine
hochenergetische Ionenimplantation zur Dotierung des Substratbereichs,
welcher von der Hauptfläche 2 abgewandt ist, durchgeführt. Dadurch wird ein
 n^+ -dotiertes Gebiet, das benachbarte untere Kondensatorelektroden 13
miteinander verbindet, gebildet (sogenannter „buried-well implant“).
30

Nachfolgend wird durch allgemein bekannte Verfahrensschritte
der Transistor fertiggestellt, indem jeweils das Gateoxid sowie die
Gate-Elektroden 18, entsprechende Leiterbahnen, und
35 die Source- und Drain-Elektrode 17 definiert werden.

Danach wird die Speicherzelle in bekannter Weise durch die Bildung weiterer Verdrahtungsebenen fertiggestellt.

Die Speicherzellenanordnung, deren Layout für eine $8\text{-}F^2$ -
5 Zellarchitektur beispielhaft in Figur 19 dargestellt ist, weist je Speicherzelle einen in einem der Gräben 5 angeordneten Speicherkondensator und einen planaren Auswahltransistor auf. Pro Speicherzelle ist ein Platzbedarf von $8F^2$ erforderlich, wobei F die kleinste herstellbare Strukturgröße in der
10 jeweiligen Technologie ist. Die Bitleitungen BL verlaufen streifenförmig und parallel zueinander, wobei die Breite der Bitleitung BL jeweils F und ihr gegenseitige Abstand ebenfalls F beträgt. Senkrecht dazu verlaufen die Wortleitungen WL, die ebenfalls eine Breite von F und einen gegenseitigen
15 Abstand von F aufweisen. Unterhalb der Bitleitungen BL sind aktive Gebiete A angeordnet, wobei oberhalb jedes aktiven Gebietes zwei Wortleitungen WL kreuzen. Die aktiven Gebiete A sind unterhalb benachbarter Bitleitungen BL jeweils versetzt gegeneinander angeordnet. In der Mitte der aktiven Gebiete A
20 ist ein Bitleitungskontakt BLK angeordnet, der eine elektrische Verbindung zwischen der jeweiligen Bitleitung BL und dem aktiven Gebiet A ermöglicht. Die Gräben 5 sind unterhalb der Wortleitung WL angeordnet. Innerhalb der aktiven Gebiete ist am Kreuzungspunkt zwischen einer der Bitleitungen BL und ei-
25 ner der Wortleitungen WL jeweils die Gateelektrode 26 des zugehörigen Auswahltransistor angeordnet.

Die aktiven Gebiete A erstrecken sich jeweils zwischen zwei Gräben 5. Sie umfassen zwei Auswahltransistoren, die über ei-
30 nen gemeinsamen Bitleitungskontakt BLK mit der zugehörigen Bitleitung BL verbunden sind. Je nach dem, welche der Wortleitungen WL angesteuert wird, wird die Information aus dem Speicherkondensator, der in einem oder dem anderen der Gräben 5 angeordnet ist, ausgelesen.

35

Gemäß einem weiteren Ausführungsbeispiel wird, wie in Figur 8 dargestellt, ein SOI-Substrat 41, das heißt, ein Siliziumsub-

strat mit einer vergrabenen SiO_2 -Schicht 46 verwendet. Auf einer Hauptfläche 42 des SOI-Substrats 41 wird eine SiO_2 -Schicht 43 in einer Dicke von 5 nm und eine Si_3N_4 -Schicht 44 in einer Dicke von 200 nm aufgebracht. Darauf wird eine BSG-Schicht (nicht dargestellt) in einer Dicke von 1000 nm, Si_3N_4 (nicht dargestellt) in einer Dicke von 200 nm und Polysilizium (nicht dargestellt) in einer Dicke von 350 nm jeweils als Hartmaskenmaterial abgeschieden. Mit Hilfe einer photolithographisch strukturierten Maske (nicht dargestellt), die die Anordnung der Speicherkondensatoren definiert, wird durch Plasma-Ätzen mit CHF_3/O_2 die Polysiliziumschicht, die Siliziumnitridschicht, die BSG-Schicht und die Nitridschicht geätzt. Sodann werden die aktive Si-Schicht 47 durch Plasma-Ätzen mit HBr/NF_3 und die vergrabene Oxidschicht 46 durch Plasma-Ätzen mit CHF_3/O_2 geätzt. Die Parameter dieses Ätzschritts sind derart bemessen, daß die Gräben nur bis zum unteren Ende der vergrabenen Oxidschicht 46 geätzt werden.

Nach Entfernung der BSG-Maske wird eine 5 nm dicke Si_3N_4 -Schicht 49 als Spacermaterial abgeschieden. Da bei dieser Ausführungsform der parasitäre Transistor durch die vergrabene SiO_2 -Schicht vermieden wird, hat die Si_3N_4 -Schicht in diesem Fall nicht die Funktion, diesen parasitären Transistor abzuschalten. Ihre Aufgabe ist vielmehr, die Diffusion von Dotierstoffen während eines nachfolgenden Schritts zur Dotierung des Substrats durch Dotierung aus der Gasphase oder aus der dotierten SiO_2 -Schicht im oberen Kondensatorbereich (aktives Gebiet 47) zu verhindern. Für diese Aufgabe ist eine Dicke von 5 nm ausreichend. Sodann werden die Kondensatorgräben 45 bis zu einer Tiefe von 5 μm durch Plasma-Ätzen mit HBr/NF_3 geätzt, wie in Figur 9 veranschaulicht ist.

Die Ätzung der Kondensatorgräben kann dabei derart erfolgen, daß die Gräben 45 in ihrem unteren Bereich, d.h. in dem der Hauptfläche 42 abgewandten Bereich, aufgeweitet werden. Beispielsweise kann der Querschnitt im unteren Bereich der Gräben 45 um 40 nm aufgeweitet werden. Dadurch kann die Kondensatorgräben

satorfläche und damit die Kapazität des Kondensators weiter vergrößert werden.

5 In den Zeichnungen ist der Prozeßablauf mit nicht aufgeweiteten Gräben veranschaulicht.

Anschließend erfolgt eine Dotierung des Silizium-Substrats. Dies kann beispielsweise durch Abscheidung einer Arsen-dotierten Silikatglasschicht in einer Schichtdicke von 50 nm
10 und einer TEOS-SiO₂-Schicht in einer Dicke von 20 nm und einen anschließenden Temperaturbehandlungsschritt bei 1000°C, 120 Sekunden, wodurch durch Ausdiffusion aus der Arsen-dotierten Silikatglasschicht in dem Siliziumsubstrat 41 ein n⁺-dotiertes Gebiet 58 gebildet wird, geschehen. Alternativ
15 kann auch eine Gasphasendotierung durchgeführt werden, zum Beispiel mit folgenden Parametern: 900°C, 399 Pa Tributylarsin (TBA) [33 Prozent], 12 min.

20 Durch das n⁺-dotierte Gebiet 58 wird die Verarmungszone verkleinert, wodurch die Kapazität des Kondensators weiter erhöht wird. Bei Verwendung einer metallischen Bottom-Elektrode dient diese dotierte Schicht zur Herstellung eines ohmschen Kontaktes zwischen Substrat und Metall.

25 Darauf folgend wird eine 10 nm dicke Wolframschicht 50 beispielsweise durch ein CVD-Verfahren ganzflächig abgeschieden (siehe Figur 10).

30 In einem nachfolgenden Temperaturbehandlungsschritt bei 600 bis 800°C in einer Stickstoffatmosphäre (N₂-RTP, „Rapid Thermal Annealing“) wird das selbstjustierte Wolframsilizid gebildet. Genauer gesagt, bildet sich nur an den Stellen, an denen das Wolfram direkt auf dem Silizium abgeschieden wurde, Wolframsilizid 48, während das Metall, das direkt auf dem Nitrid abgeschieden wurde, nicht mit dem Substrat reagiert.
35 Dies ist in Figur 11 veranschaulicht. Eine geringfügige Aufweitung der Kondensatorgräben ergibt sich bei diesem Schritt

dadurch, daß für die Wolframsilizidbildung Silizium an den Wänden der Gräben verbraucht wird.

5 Gemäß einer bevorzugten Ausführungsform kann dieser Temperaturbehandlungsschritt so eingestellt werden, daß nicht das komplette Wolfram durchsilizidiert wird. Dadurch können, wie vorstehend beschrieben, besonders dünne Metallelektroden realisiert werden. Zusätzlich können Inhomogenitäten in der Schichtdicke des Metalls ausgeglichen werden.

10

Schließlich wird das Wolfram selektiv zum Wolframsilizid 48 geätzt. Dies kann beispielsweise durch Naßätzen in $\text{H}_2\text{O}/\text{NH}_4\text{OH}/\text{H}_2\text{O}_2$ erfolgen (siehe Figur 12).

15

Durch diesen Schritt wird der Teil der Wolframschicht, der auf dem freiliegenden Silizium abgeschieden war und mit diesem während des Temperaturbehandlungsschritts zu Wolframsilizid reagiert hat, nicht angegriffen, während der Teil der Wolframschicht, der auf dem Siliziumnitrid oder Siliziumdioxid abgeschieden war, sowie gegebenenfalls der nicht umgesetzte Teil der auf dem Silizium abgeschiedenen Wolframschicht wieder entfernt wird. Entsprechend liegt nach diesem selektiven Ätzschritt eine selbstjustierte Wolframsilizidschicht vor, die die zuvor freiliegenden Siliziumbereiche bedeckt.

25

Gegebenenfalls kann darauf folgend ein zweiter Temperaturbehandlungsschritt bei 960°C in einer Stickstoffatmosphäre durchgeführt werden (N_2 -RTP, „Rapid Thermal Annealing“).

30

Durch diesen Schritt werden das gebildete WSi_x restrukturiert und freie Wolfram- und Silizium-Bindungen durch Stickstoff abgesättigt.

35

Nachfolgend wird als Kondensatordielektrikum eine 5 nm dicke dielektrische Schicht 51 abgeschieden, die SiO_2 und Si_3N_4 sowie gegebenenfalls Siliziumoxynitrid enthält. Alternativ enthält die dielektrische Schicht 51 Al_2O_3 (Aluminiumoxid), TiO_2

(Titandioxid), Ta_2O_5 (Tantaloxid). Anschließend wird eine 200 nm dicke in-situ dotierte Polysiliziumschicht 52 abgeschieden, wie in Figur 13 gezeigt ist. Durch chemisch-mechanisches Polieren wird die Polysiliziumschicht 52 bis auf die Oberfläche der Si_3N_4 -Schicht 44 entfernt.

Darauf folgend wird der standardmäßige DRAM-Prozeß durchgeführt, durch den die obere Kondensatorelektrode geeignet strukturiert und an die Source- oder Drain-Elektrode 56 eines Auswahltransistors angeschlossen wird.

Dies kann beispielsweise durch Ätzen der Polysiliziumfüllung 52 auf etwa 100 nm unterhalb der Hauptfläche 42 geschehen. Es folgt eine Si_3N_4 -Ätzung mit HF /Ethylenglycol, bei der 10 nm Si_3N_4 geätzt werden und eine Ätzung mit NH_4F/HF , mit der SiO_2 und dielektrisches Material geätzt werden. Nach einer Sacrificial oxidation zur Bildung eines Streuoxids (nicht dargestellt) wird eine Implantation durchgeführt, bei der ein n^+ -dotiertes Gebiet 53 in der Seitenwand jedes Grabens 45 im Bereich der Hauptfläche 42 gebildet wird. Wie in Figur 14 gezeigt ist, wird oberhalb der Polysiliziumfüllung 52 verbliebener Freiraum in dem jeweiligen Graben 45 durch Abscheidung von insitu-dotiertem Polysilizium und Rückätzen des Polysiliziums mit SF_6 mit einer Polysiliziumfüllung 54 aufgefüllt.

Die Polysiliziumfüllung 52 wirkt im fertigen Speicherkondensator als obere Kondensatorelektrode. Die Polysiliziumfüllung 54 wirkt als Anschlußstruktur zwischen dem n^+ -dotierten Gebiet 53 und der als obere Kondensatorelektrode wirkenden Polysiliziumfüllung 52.

Nachfolgend werden Isolationsstrukturen 55 erzeugt, die die aktiven Gebiete umgeben und damit definieren. Dazu wird eine Maske gebildet, die die aktiven Gebiete definiert (nicht dargestellt). Durch nicht-selektives Plasma-Ätzen von Silizium, Siliziumnitrid, SiO_2 und Polysilizium mit Hilfe von $CHF_3/N_2/NF_3$, wobei die Ätzdauer so eingestellt wird, daß 200

nm Polysilizium geätzt werden, durch Entfernen der dabei verwendeten Lackmaske mit O_2/N_2 , durch naßchemisches Ätzen von 3 nm dielektrischer Schicht, durch Oxidation und Abscheidung einer 5 nm dicken Si_3N_4 -Schicht und durch Abscheidung einer
5 250 nm dicken SiO_2 -Schicht in einem TEOS-Verfahren und anschließendes chemisch-mechanisches Polieren werden die Isolationsstrukturen 55 fertiggestellt. Durch Ätzen in heißer H_3PO_4 wird nachfolgend die Si_3N_4 -Schicht 44 und durch Ätzen in verdünnter Flußsäure die SiO_2 -Schicht 43 entfernt.

10

Durch eine Sacrificial oxidation wird nachfolgend ein Streuoxid gebildet. Es werden photolithographisch erzeugte Masken und Implantationen eingesetzt zur Bildung von n-dotierten Wannen, p-dotierten Wannen und zur Durchführung von
15 Einsatzspannungsimplantationen im Bereich der Peripherie und der Auswahltransistoren des Zellenfelds. Ferner wird eine hochenergetische Ionenimplantation zur Dotierung des Substratbereichs, welcher von der Hauptfläche 42 abgewandt ist, durchgeführt. Dadurch wird ein n^+ -dotiertes Gebiet, das be-
20 nachbarte untere Kondensatorelektroden 48 miteinander verbindet, gebildet.

Nachfolgend wird durch allgemein bekannte Verfahrensschritte der Transistor fertiggestellt, indem jeweils das Gateoxid sowie die Gate-Elektroden 57, entsprechende Leiterbahnen, und die Source- und Drain-Elektrode 56 definiert werden.
25

Danach wird die Speicherzelle in bekannter Weise durch die Bildung weiterer Verdrahtungsebenen fertiggestellt.

30

Gemäß der vorliegenden Erfindung kann das Verfahren zur Herstellung der unteren Kondensatorelektrode auch auf einen Stapelkondensator einer DRAM-Speicherzelle angewendet werden. Im Gegensatz zu den vorstehend beschriebenen Herstellungsverfahren wird dabei die untere Kondensatorelektrode nicht in einem
35 in einem Silizium-Material gebildeten Graben gebildet sondern auf der Oberfläche einer Polysilizium-Kontaktstruktur, die

den Source/Drain-Bereich des Auswahltransistors mit der unteren Kondensatorelektrode verbindet.

Gemäß der dritten Ausführungsform der vorliegenden Erfindung werden auf einem Siliziumsubstrat Strukturen gemäß dem Standard-DRAM-Prozeß für Stapelkondensatoren erzeugt. Genauer gesagt, werden wie in Figur 15 gezeigt, in einer Hauptfläche 62 eines Siliziumsubstrats 61 durch allgemein bekannte Verfahren zunächst die aktiven Bereiche definiert, indem Isolationsstrukturen 63 durch Ätzen von Isolationsgräben und Auffüllen der Isolationsgräben mit einer dünnen Si_3N_4 -Schicht sowie SiO_2 gebildet werden. Sodann wird zur Herstellung der Wortleitungen erst eine dünne SiO_2 -Schicht als Gateoxid durch thermische Oxidation erzeugt, darauf werden zur Herstellung der Gate-Elektroden 65 eine Polysiliziumschicht, eine Wolframsilizidschicht sowie 200 bis 300 nm Si_3N_4 ganzflächig abgeschieden und geeignet strukturiert. Anschließend werden durch thermische Oxidation eine SiO_2 -Schicht und außerdem durch ein Nitridabscheideverfahren eine Si_3N_4 -Schicht als Spacer-Schicht aufgebracht und anschließend strukturiert, so daß die seitlichen Flanken der Gate-Elektroden 65 mit diesen Schichten bedeckt sind.

Nach sogenannter folded-Bitline-Architektur dient die in Figur 15 dargestellte mittlere Wortleitung als sogenannte „passing wordline“, das heißt als Wortleitung für die Gate-Elektrode der vor oder hinter der Zeichenebene befindlichen Speicherzelle.

Darauf folgend werden die Source- und Drain-Elektroden 64 selbstjustiert unter Verwendung der Gate-Elektroden 65 als Implantations-Masken durch Ionenimplantation gebildet.

Anschließend werden die Zwischenräume zwischen den Wortleitungen durch Abscheiden von BSG bzw. BPSG und eine anschließende Temperaturbehandlung, bei der das BSG bzw. BPSG 72 verfließt, aufgefüllt. Auf der sich ergebenden Oberfläche wird

durch ein TEOS-Verfahren SiO_2 (nicht gezeigt) aufgebracht. An den Stellen, an denen die Kontaktstrukturen 66 zwischen unterer Kondensatorelektrode 67 und Source- bzw. Drain-Elektrode 64 des Auswahltransistors gebildet werden sollen, werden Kontaktlöcher durch das SiO_2 und das BSG 72 selektiv zu Si_3N_4 bis auf den Source-/Drain-Bereich geätzt.

Anschließend wird eine in-situ dotierte Polysiliziumschicht 66 mit einer derartig bemessenen Dicke aufgebracht, daß der untere Teil der Kontaktlöcher, welcher sich zwischen benachbarten Wortleitungen erstreckt, vollständig mit Polysilizium aufgefüllt wird, während der obere Teil der Kontaktlöcher, der sich durch die SiO_2 -Schicht erstreckt, mit einer dünnen Poly-Silizium-Schicht ausgekleidet wird, d.h. es bilden sich an dieser Stelle Hohlzylinder oder Becher. Das auf der SiO_2 -Oberfläche abgeschiedene Polysilizium wird durch chemisch-mechanisches Polieren entfernt, anschließend wird das SiO_2 an der Oberfläche weggeätzt. Es ergibt sich der in Figur 15 gezeigte Aufbau.

Nun wird beispielsweise durch ein CVD-Verfahren eine dünne Wolframschicht ganzflächig abgeschieden.

In einem nachfolgenden Temperaturbehandlungsschritt bei 600 bis 800°C in einer Stickstoffatmosphäre (N_2 -RTP, „Rapid Thermal Annealing“) wird das selbstjustierte Wolframsilizid 67 gebildet. Genauer gesagt, bildet sich nur an den Stellen, an denen das Wolfram direkt auf dem Silizium abgeschieden wurde, Wolframsilizid, während das Metall, das direkt auf dem Nitrid oder den mit BSG gefüllten Zwischenräumen abgeschieden wurde, nicht mit dem Substrat reagiert.

Gemäß einer bevorzugten Ausführungsform kann dieser Temperaturbehandlungsschritt so eingestellt werden, daß nicht das komplette Wolfram durchsilizidiert wird. Dadurch können, wie vorstehend beschrieben, besonders dünne Metallelektroden realisiert werden.

Schließlich wird das Wolfram selektiv zum Wolframsilizid geätzt. Dies kann beispielsweise durch Naßätzen in $\text{H}_2\text{O}/\text{NH}_4\text{OH}/\text{H}_2\text{O}_2$ erfolgen (siehe Figur 16).

5

Durch diesen Schritt wird der Teil der Wolframschicht, der auf dem freiliegenden Silizium abgeschieden war und mit diesem während des Temperaturbehandlungsschritts zu Wolframsilizid reagiert hat, nicht angegriffen, während der Teil der Wolframschicht, der auf dem Siliziumnitrid oder BSG abgeschieden war, sowie gegebenenfalls der nicht umgesetzte Teil der auf dem Silizium abgeschiedenen Wolframschicht wieder entfernt wird. Entsprechend liegt nach diesem selektiven Ätzschritt eine selbstjustierte Wolframsilizidschicht 67 vor, die die zuvor selektiv aufgetragenen Siliziumbereiche bedeckt.

Gegebenenfalls kann darauf folgend ein zweiter Temperaturbehandlungsschritt bei ungefähr 800°C in einer Stickstoffatmosphäre durchgeführt werden (N_2 -RTP, „Rapid Thermal Annealing“). Durch diesen Schritt werden das gebildete WS i_x restrukturiert und freie Wolfram- und Silizium-Bindungen durch Stickstoff abgesättigt.

Nachfolgend wird als Kondensatordielektrikum eine 5 nm dicke dielektrische Schicht 68 abgeschieden, die SiO_2 und Si_3N_4 sowie gegebenenfalls Siliziumoxynitrid enthält. Alternativ enthält die dielektrische Schicht 68 Al_2O_3 (Aluminiumoxid), TiO_2 (Titandioxid), Ta_2O_5 (Tantaloxid). Anschließend wird eine Wolframsilizidschicht als obere Kondensatorelektrode 69 abgeschieden, wie in Figur 17 gezeigt ist. Die Dicke der Wolframsilizidschicht kann dabei derartig bemessen sein, daß der mit unterer Kondensatorelektrode und Dielektrikum ausgekleidete Becher vollständig aufgefüllt wird, das heißt, die Dicke der abgeschiedenen Schicht beträgt ungefähr 50 bis 100 nm.

Nach Strukturierung der dielektrischen Schicht und der oberen Kondensatorelektrode durch bekannte Verfahren werden weitere Isolationsschichten erzeugt, Bitleitungskontakte 70 hergestellt und anschließend die Bitleitungen 71 definiert.

5

Das beschriebene Verfahren gemäß der dritten Ausführungsform ist dahingehend vorteilhaft gegenüber dem herkömmlichen Verfahren zur Bildung von Stapelkondensatoren, daß die Verbindungsstruktur aus Polysilizium vor der Abscheidung des Me-

10

talls geeignet strukturiert wird, so daß nur an den Stellen, an denen die untere Kondensatorelektrode gebildet werden soll, freiliegende Siliziumbereiche vorhanden sind. Entspre-

chend wird nur an diesen Stellen Metallsilizid gebildet bzw. abgeschieden, so daß in den darauffolgenden Schritten kein

15

Metallsilizid mehr entfernt werden muß. Dadurch kann das Verfahren zur Herstellung der unteren Kondensatorelektrode erheblich vereinfacht werden.

Patentansprüche

1. Verfahren zur Herstellung eines Speicherkondensators, insbesondere zur Verwendung in einer DRAM-Speicherzelle, bei dem
5 eine untere metallische Kondensatorelektrode (13, 48, 67), ein Speicherdielektrikum (14, 51, 68) und eine obere Kondensatorelektrode (15, 52, 69) gebildet werden,
dadurch gekennzeichnet, daß
die untere metallische Kondensatorelektrode (13, 48, 67) in
10 der Weise selbstjustiert auf einem Silizium-Grundmaterial (1, 41, 66) gebildet wird, daß zunächst freiliegende Silizium-Bereiche an den Stellen, an denen die untere Kondensatorelektrode zu bilden ist, erzeugt werden und sodann auf den freiliegenden Silizium-Bereichen Metallsilizid selektiv gebildet
15 wird.

2. Verfahren nach Anspruch 1,
dadurch gekennzeichnet, daß
das Metall aus Wolfram, Titan, Molybdän, Tantal, Kobalt, Nickel,
20 Niob, Platin, Palladium und den Seltenerdmetallen ausgewählt ist.

3. Verfahren nach Anspruch 1 oder 2,
dadurch gekennzeichnet, daß
25 der Schritt der selektiven Bildung von Metallsilizid auf den freiliegenden Siliziumbereichen die Schritte
- Abscheiden eines Metalls (12, 50), welches geeignet ist, in einem nachfolgenden Temperaturbehandlungsschritt mit dem freiliegenden Silizium eine Metall-Silizium-Verbindung einzugehen,
30 gehen,
- Temperaturbehandlung bei einer vorgegebenen Temperatur in einer vorgegebenen Atmosphäre, und
- selektive Entfernung des nicht zu Silizid umgesetzten Metalls umfaßt.

35

4. Verfahren nach Anspruch 3,
dadurch gekennzeichnet, daß

der Temperaturbehandlungsschritt bei einer Temperatur von 600 bis 1000°C in einer Stickstoffatmosphäre durchgeführt wird.

5. Verfahren nach Anspruch 3 oder 4,

5 d a d u r c h g e k e n n z e i c h n e t, daß
der Schritt der Temperaturbehandlung derart durchgeführt
wird, daß nur ein den Silizium-Bereichen zugewandter Teil der
Metallschicht eine Metall-Silizium-Verbindung eingeht.

10 6. Verfahren nach Anspruch 1 oder 2,

d a d u r c h g e k e n n z e i c h n e t, daß
der Schritt der selektiven Bildung von Metallsilizid (13, 48,
67) auf den freiliegenden Siliziumbereichen den Schritt einer
selektiven Abscheidung des Metall auf den freiliegenden Sili-
15 ziumbereichen (1, 41, 66) aus der Gasphase umfaßt.

7. Verfahren nach einem der vorhergehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t, daß
der Schritt der Bildung freiliegender Silizium-Bereiche (1,
20 41) das Aufbringen eines Abdeckmaterials (9, 49) auf einem
Silizium-Grundmaterial umfaßt.

8. Verfahren nach Anspruch 7,

d a d u r c h g e k e n n z e i c h n e t, daß
25 das Abdeckmaterial (9, 49) aus Siliziumnitrid oder Silizium-
dioxid oder einer Kombination dieser Materialien ausgewählt
ist.

9. Verfahren zur Herstellung einer Speicherzelle mit einem
30 Speicherkondensator, der als Grabenkondensator ausgeführt
ist, und einem Auswahltransistor, mit den Schritten:

- Ätzen eines Grabens (5, 45) in eine Hauptfläche (2, 42) ei-
nes Halbleitersubstrats (1, 41);

- Durchführen des Verfahrens nach Anspruch 7 oder 8, wobei
35 der Speicherkondensator zumindest teilweise in dem Graben (5,
45) angeordnet wird und die untere metallische Kondensatore-
lektrode (13, 48) an eine Wand des Grabens angrenzt; und

- Bilden des Auswahltransistors mit Source-Elektrode, Drain-Elektrode (17, 56), leitendem Kanal und Gate-Elektrode (18, 57), wobei die obere Kondensatorelektrode (13, 48) mit der Source- oder Drain-Elektrode (17, 56) des Auswahltransistors elektrisch leitend verbunden wird.

10. Verfahren nach Anspruch 9,
dadurch gekennzeichnet, daß
das Substrat (1, 41) ein Siliziumsubstrat oder ein auf einem Isolator angeordnetes Siliziumsubstrat ist.

11. Verfahren nach einem der Ansprüche 1 bis 6,
dadurch gekennzeichnet, daß
der Schritt der Bildung freiliegender Silizium-Bereiche das strukturierte Aufbringen einer Silizium- oder Polysiliziumschicht (66) auf einem nicht-Siliziummaterial umfaßt.

12. Verfahren zur Herstellung einer Speicherzelle mit einem Speicherkondensator, der als Stapelkondensator ausgeführt ist, und einem Auswahltransistor, mit
- dem Schritt des Bildens eines Auswahltransistors mit Source-Elektrode, Drain-Elektrode (64), leitendem Kanal und Gate-Elektrode (65) auf einer Hauptfläche (62) eines Halbleitersubstrats (61),
- den Schritten des Verfahrens nach Anspruch 11, so daß die untere Kondensatorelektrode (67) auf einer elektrisch leitenden Verbindungsstruktur (66) aus Polysilizium, die die untere Kondensatorelektrode (67) mit der Source- oder Drain-Elektrode (64) des Auswahltransistors verbindet, auf der sich ergebenden Oberfläche gebildet wird.

13. Verfahren nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet, daß
nach dem Schritt der Erzeugung freiliegender Silizium-Bereiche an diesen Bereichen oberflächenvergrößernde Maßnahmen durchgeführt werden.

Zusammenfassung

Verfahren zur Herstellung eines Speicherkondensators

- 5 Die vorliegende Erfindung betrifft ein neuartiges Verfahren zur Herstellung eines Speicherkondensators, welcher insbesondere in einer DRAM-Speicherzelle verwendet wird. Das erfindungsgemäße Verfahren umfaßt die Schritte zum Bilden einer unteren metallischen Kondensatorelektrode (13), eines Speicherdielektrikums (14) und einer oberen Kondensatorelektrode (15), wobei die untere metallische Kondensatorelektrode (13) in der Weise selbstjustiert auf einem Silizium-Grundmaterial (1) gebildet wird, daß zunächst freiliegende Silizium-Bereiche an den Stellen, an denen die untere Kondensatorelektrode zu bilden ist, erzeugt werden und sodann auf den freiliegenden Silizium-Bereichen Metallsilizid (13) selektiv gebildet wird.

Figur 7

Bezugszeichenliste

	1	Silizium-Substrat
	2	Hauptfläche
5	3	SiO ₂ -Schicht
	4	Si ₃ N ₄ -Schicht
	5	Graben
	6	SiO ₂ -Schicht
	7	Polysilizium
10	8	Isolationsstruktur
	9	Si ₃ N ₄ -Spacer
	10	Polysiliziumfüllung
	11	n ⁺ -dotierter Bereich
	12	Wolfram
15	13	Wolframsilizid
	14	Kondensatordielektrikum
	15	obere Kondensatorelektrode
	16	n ⁺ -dotiertes Gebiet
	17	Source- bzw. Drain-Elektrode
20	18	Gate-Elektrode
	41	SOI-Substrat
	42	Hauptfläche
	43	SiO ₂ -Schicht
	44	Si ₃ N ₄ -Schicht
25	45	Graben
	46	vergrabene SiO ₂ -Schicht
	47	aktives Gebiet
	48	Wolframsilizid
	49	Si ₃ N ₄ -Spacer
30	50	Wolfram
	51	Kondensatordielektrikum
	52	obere Kondensatorelektrode
	53	n ⁺ -dotiertes Gebiet
	54	Polysilizium
35	55	Isolationsstruktur
	56	Source- bzw. Drain-Elektrode
	57	Gate-Elektrode

	58	n ⁺ -dotiertes Gebiet
	61	Si-Substrat
	62	Hauptfläche
	63	Isolationsstruktur
5	64	Source-/Drain-Elektrode
	65	Gate-Elektrode
	66	Kontaktstruktur
	67	Wolframsilizid
	68	Kondensatordielektrikum
10	69	obere Kondensatorelektrode
	70	Bitleitungskontakt
	71	Bitleitung
	72	BSG

1/15

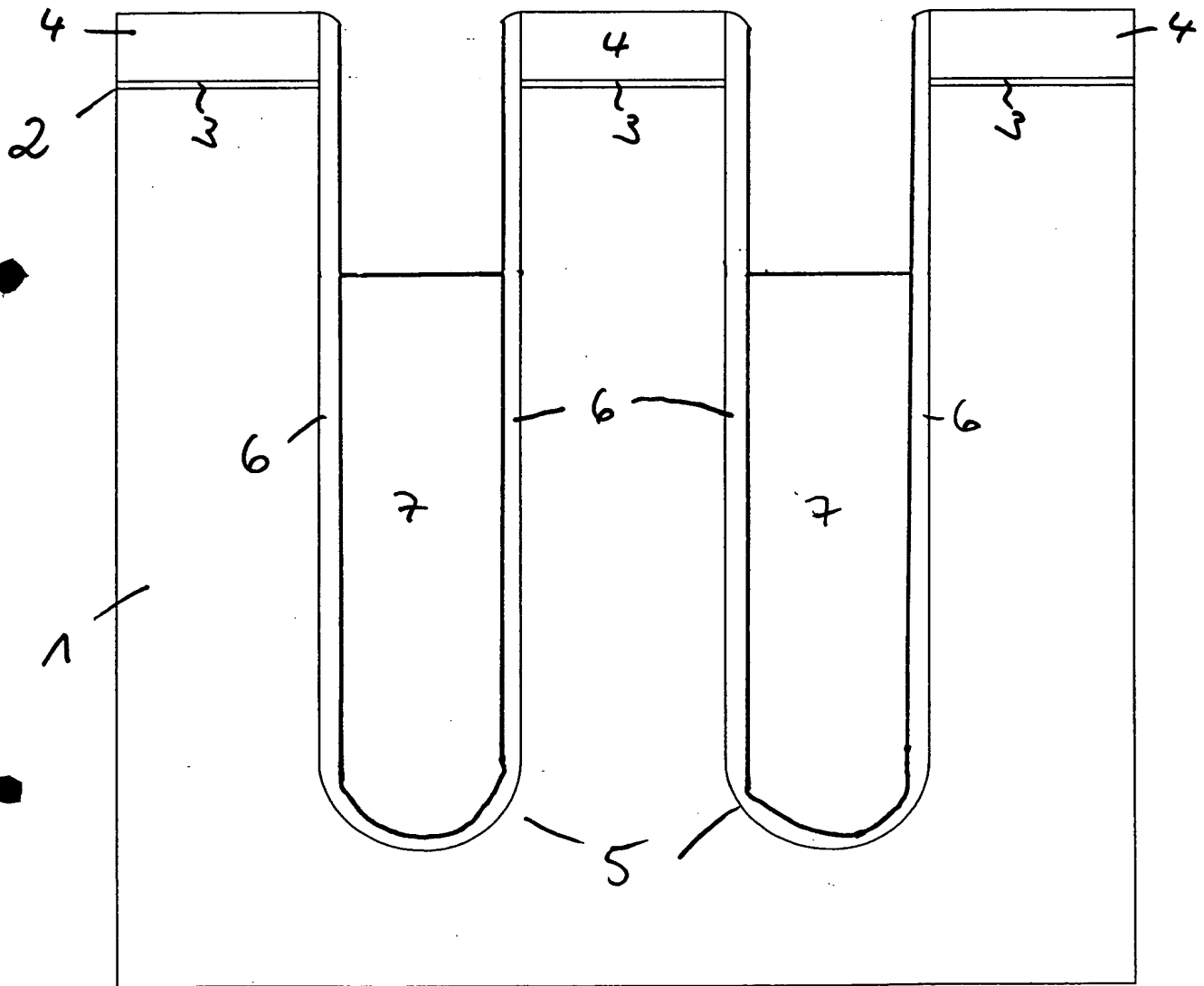


FIG. 1

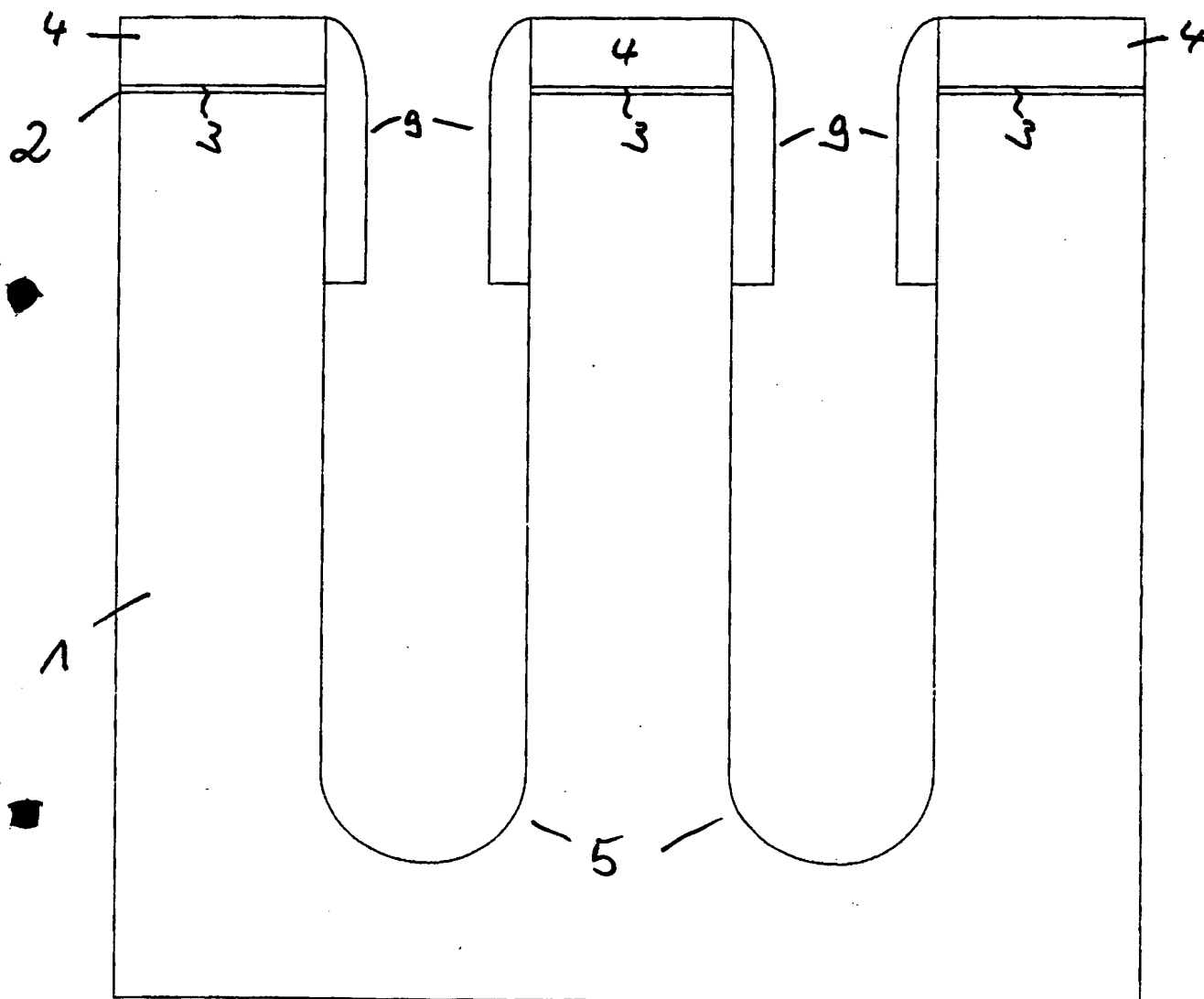


FIG. 2

4/19

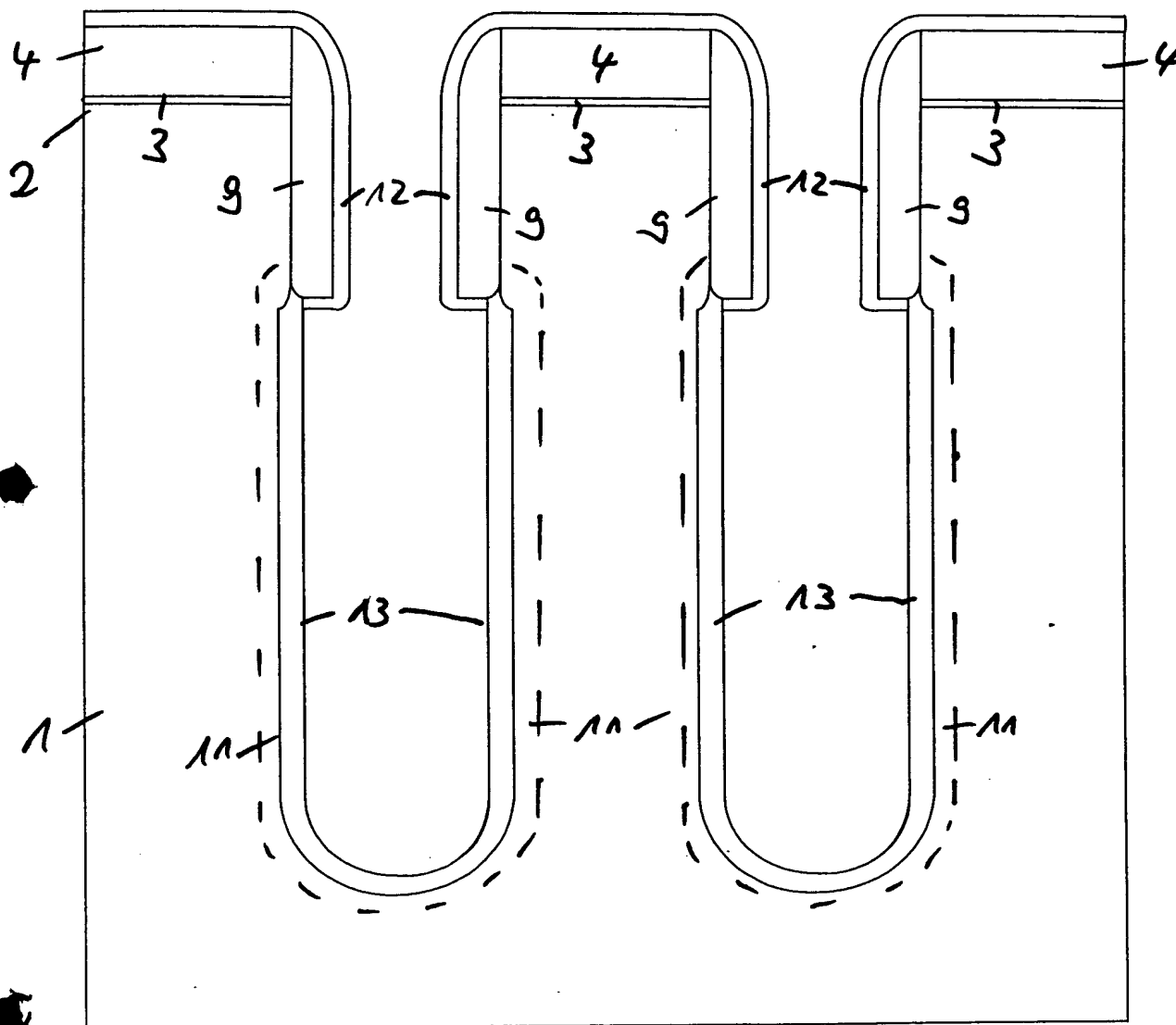


FIG. 4

5/19

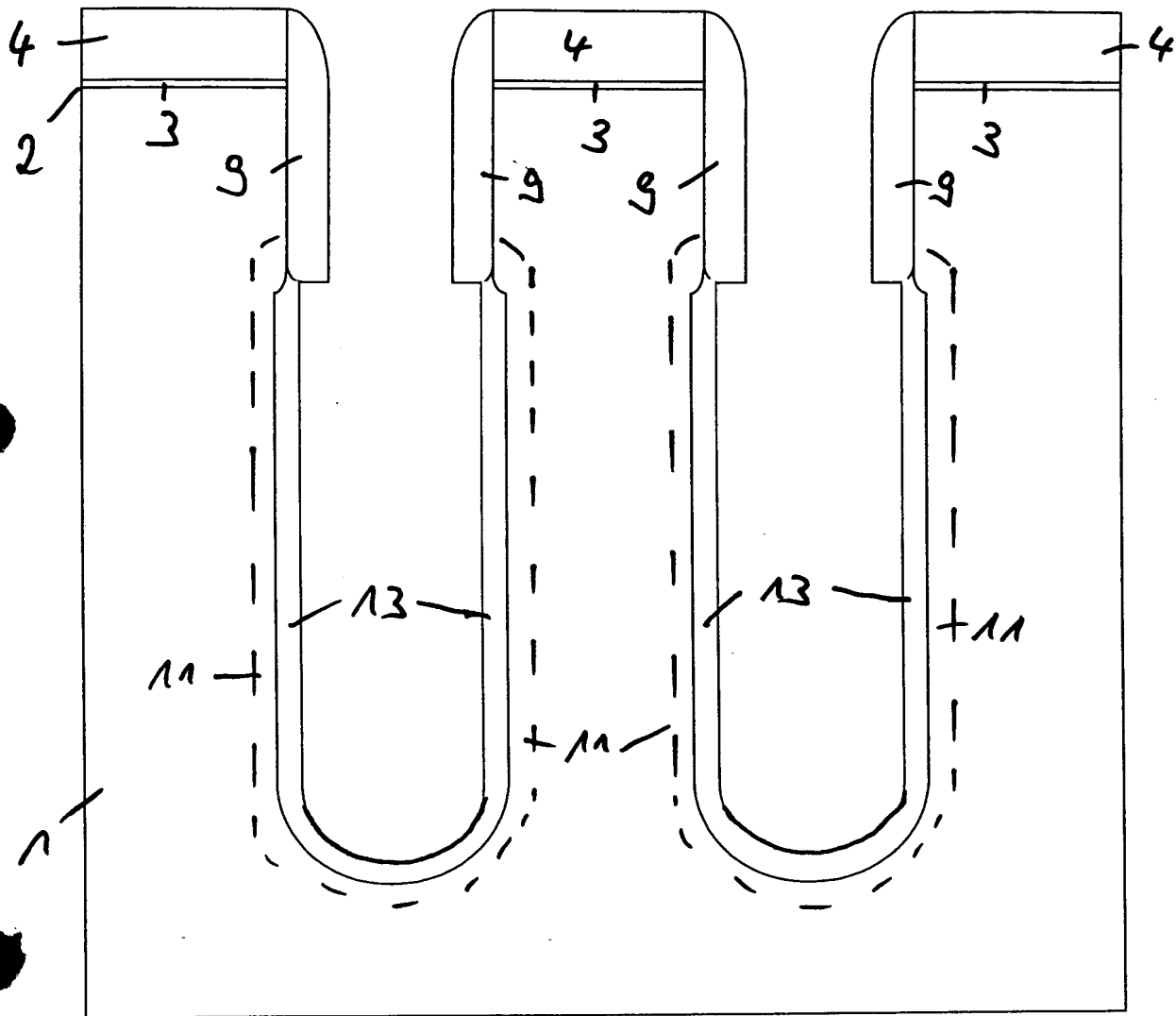


FIG. 5

6/19

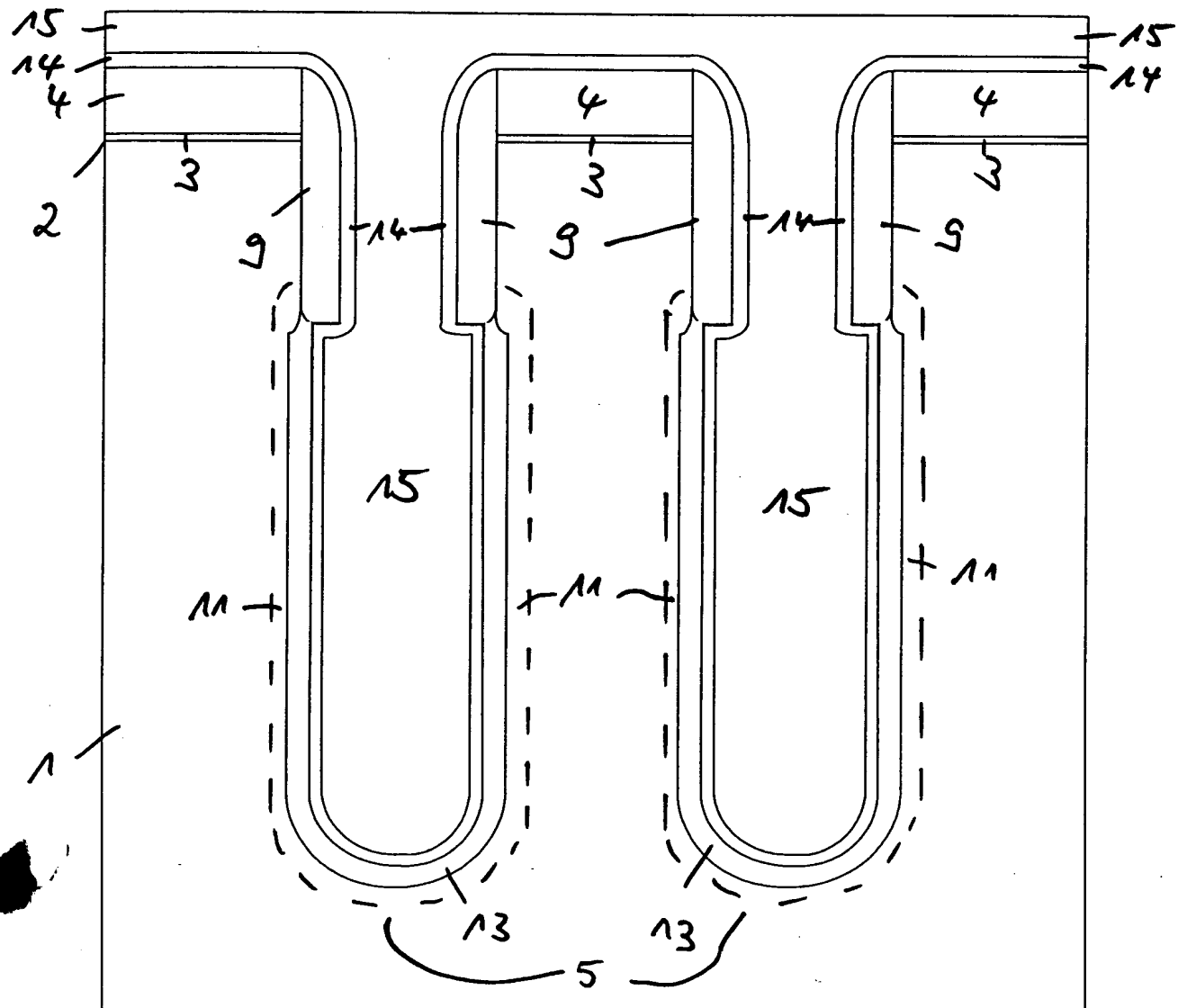


FIG. 6

7/15

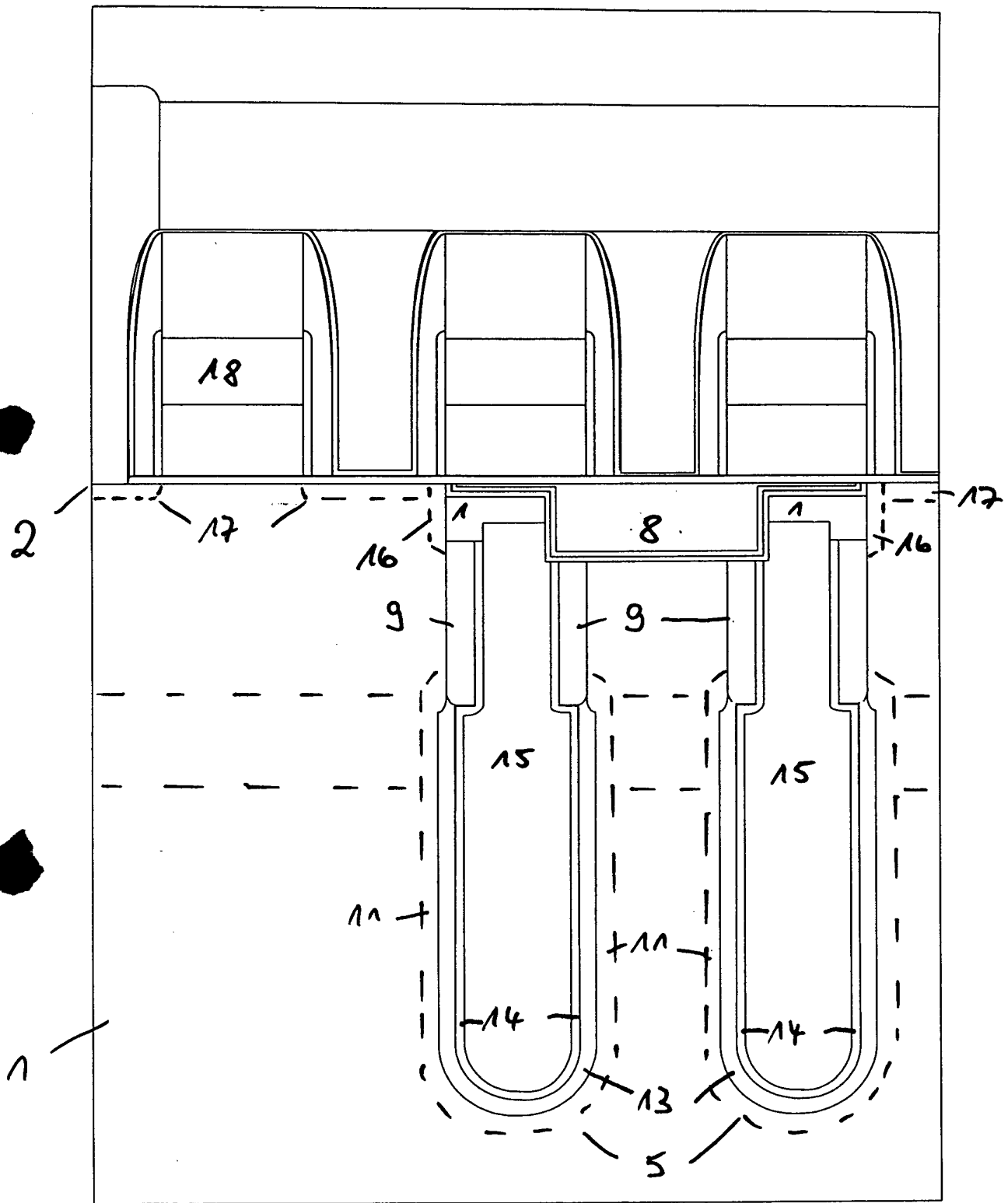


FIG. 7

8/19

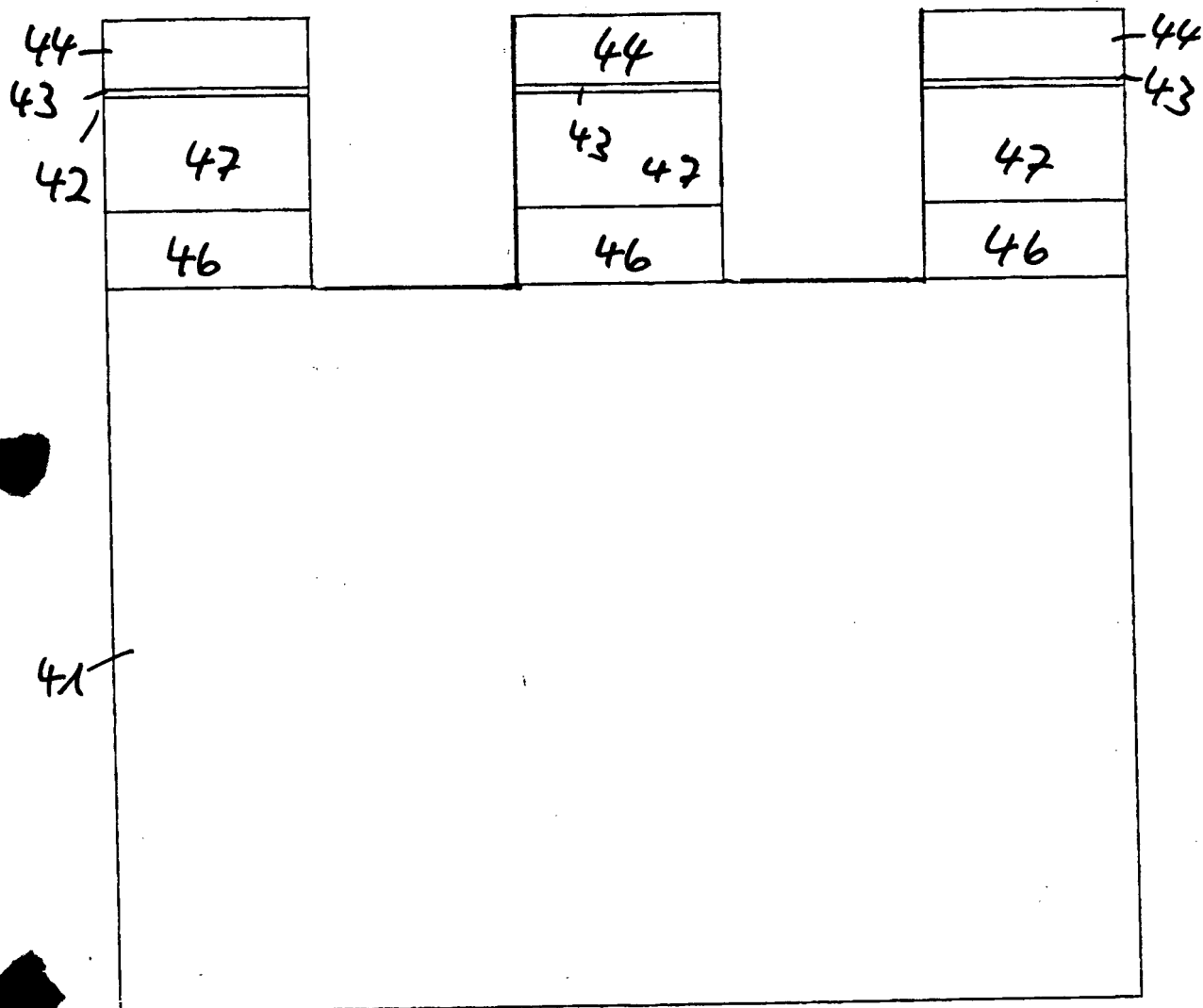


FIG. 8

9/19

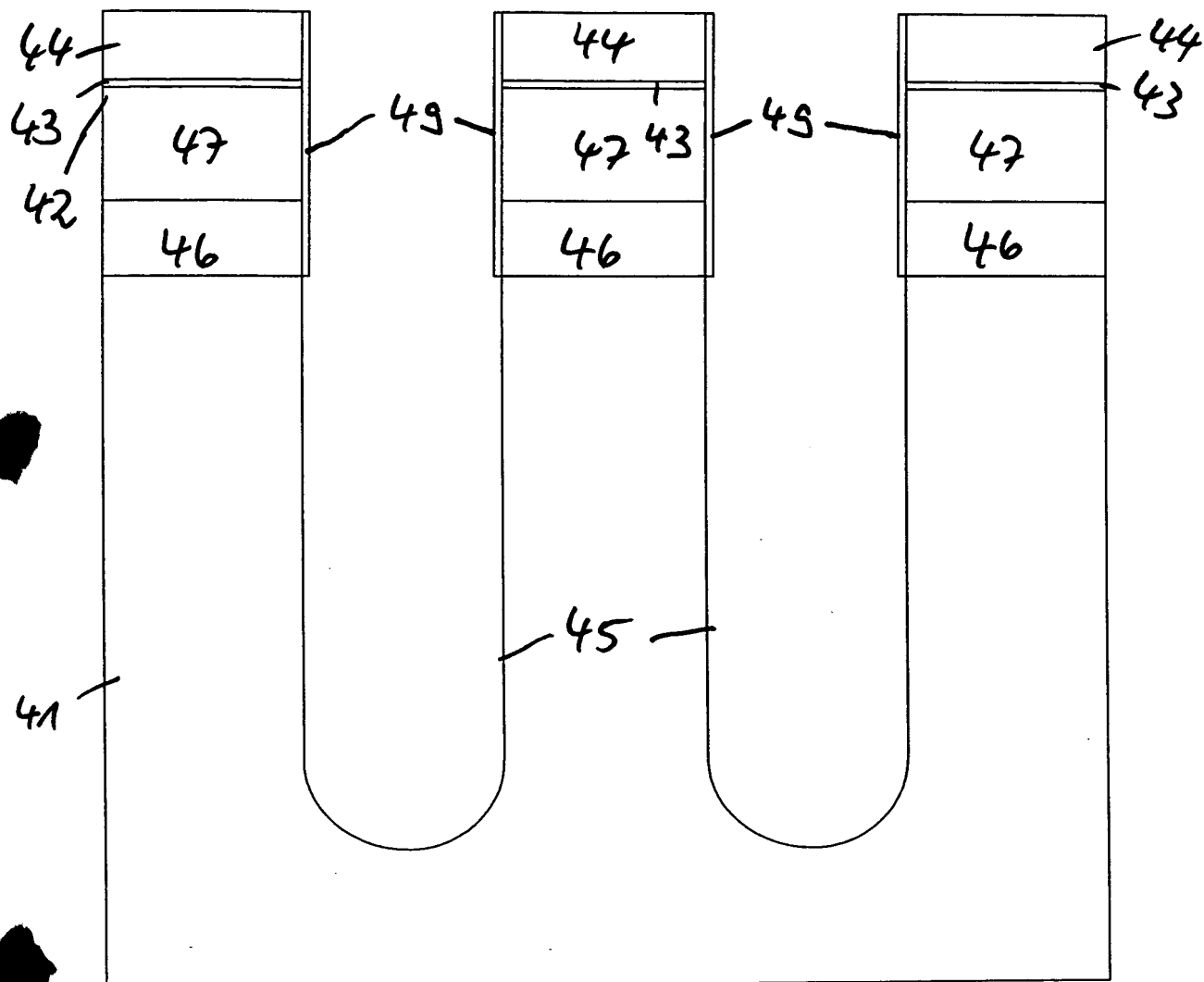


FIG. 5

10MS

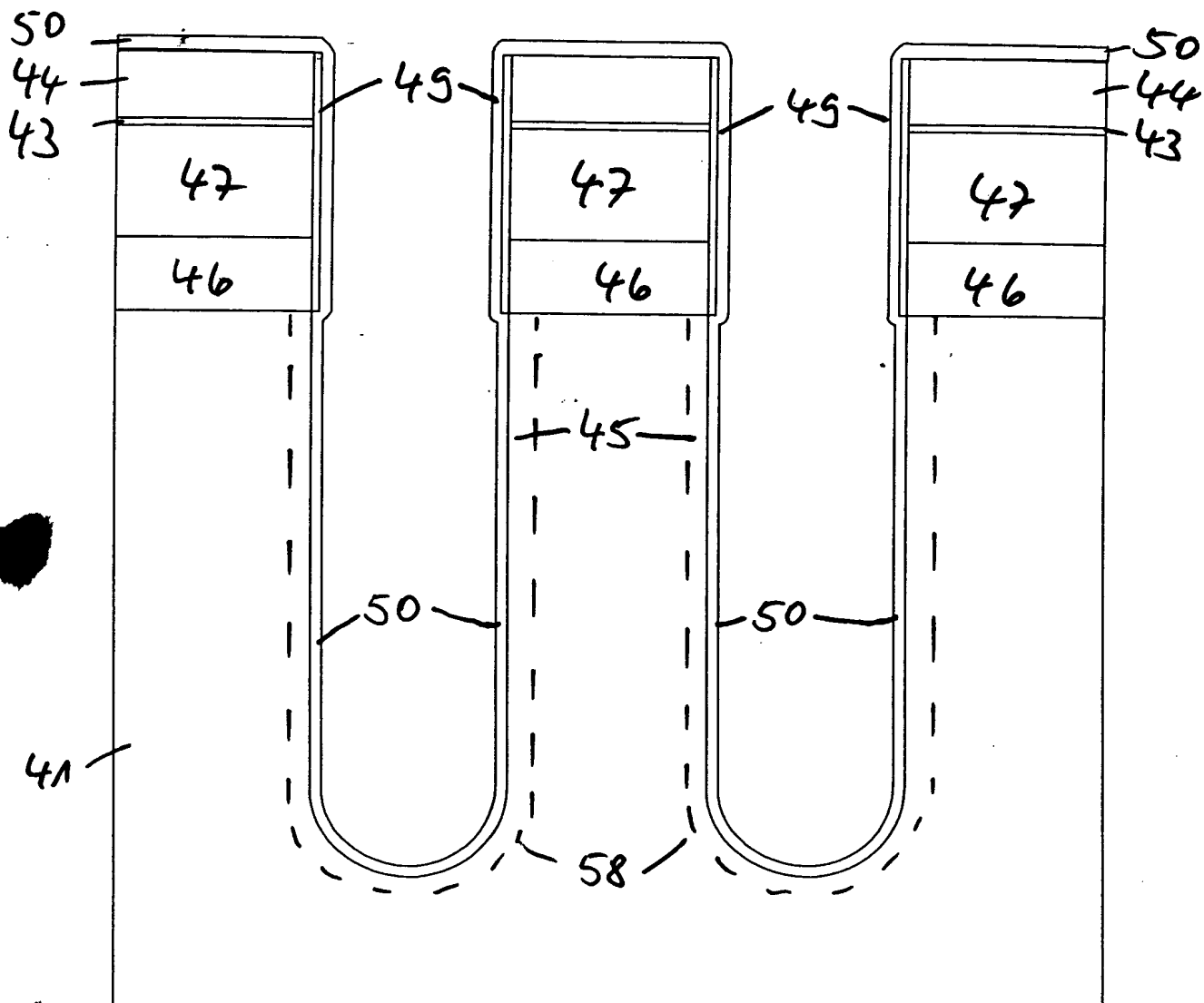


FIG. 10

11/19

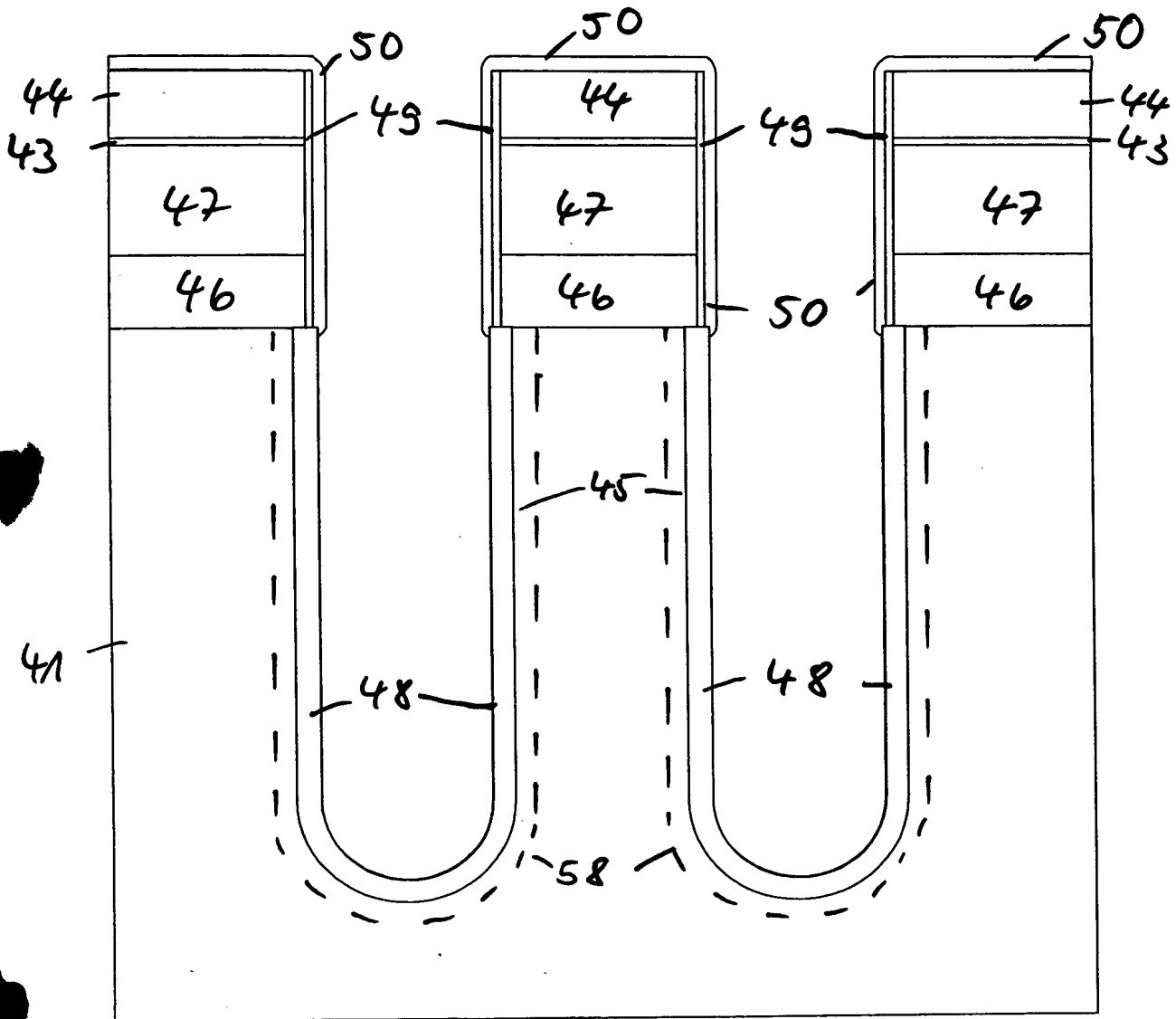


FIG 11

12/19

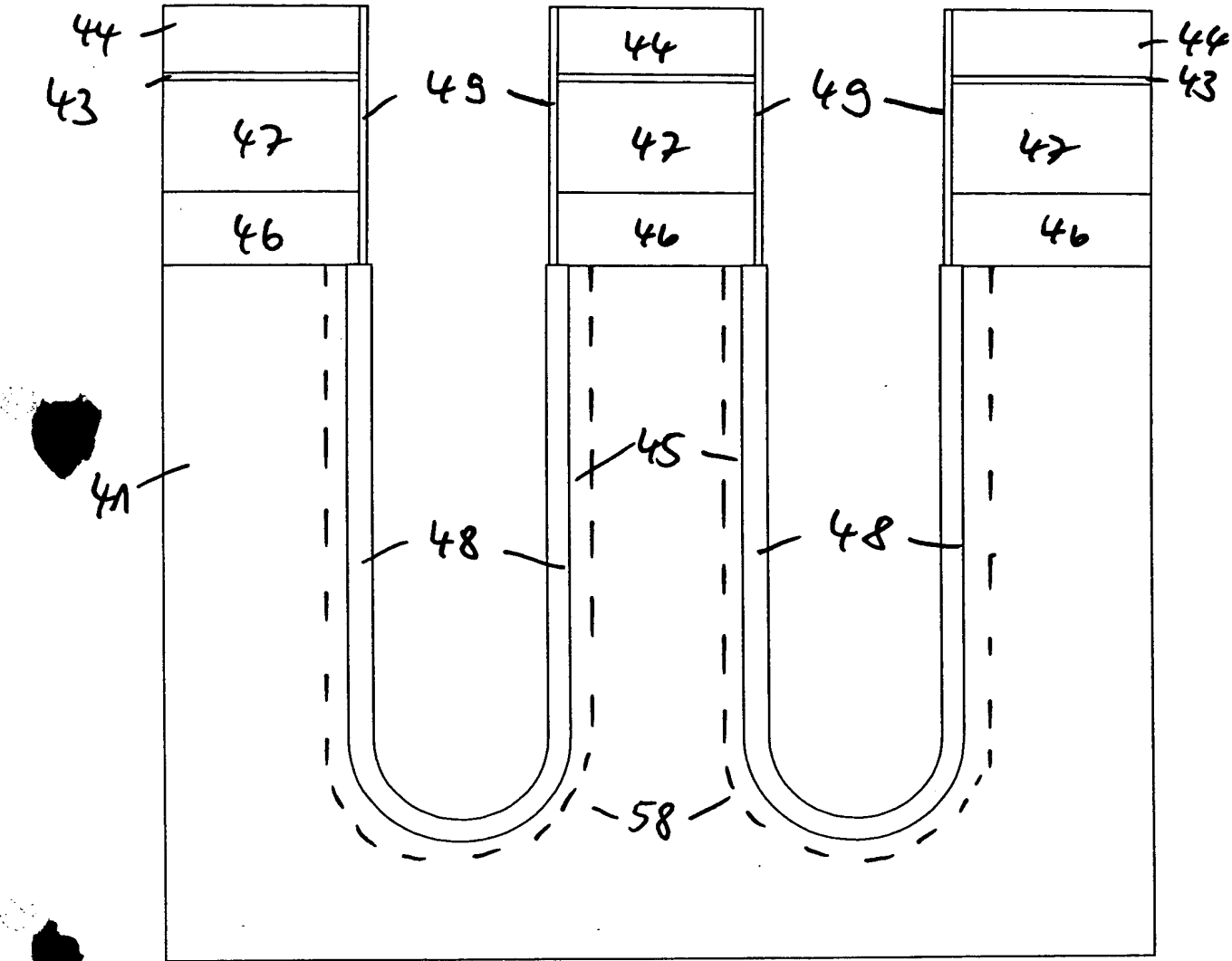


FIG. 12

13/19

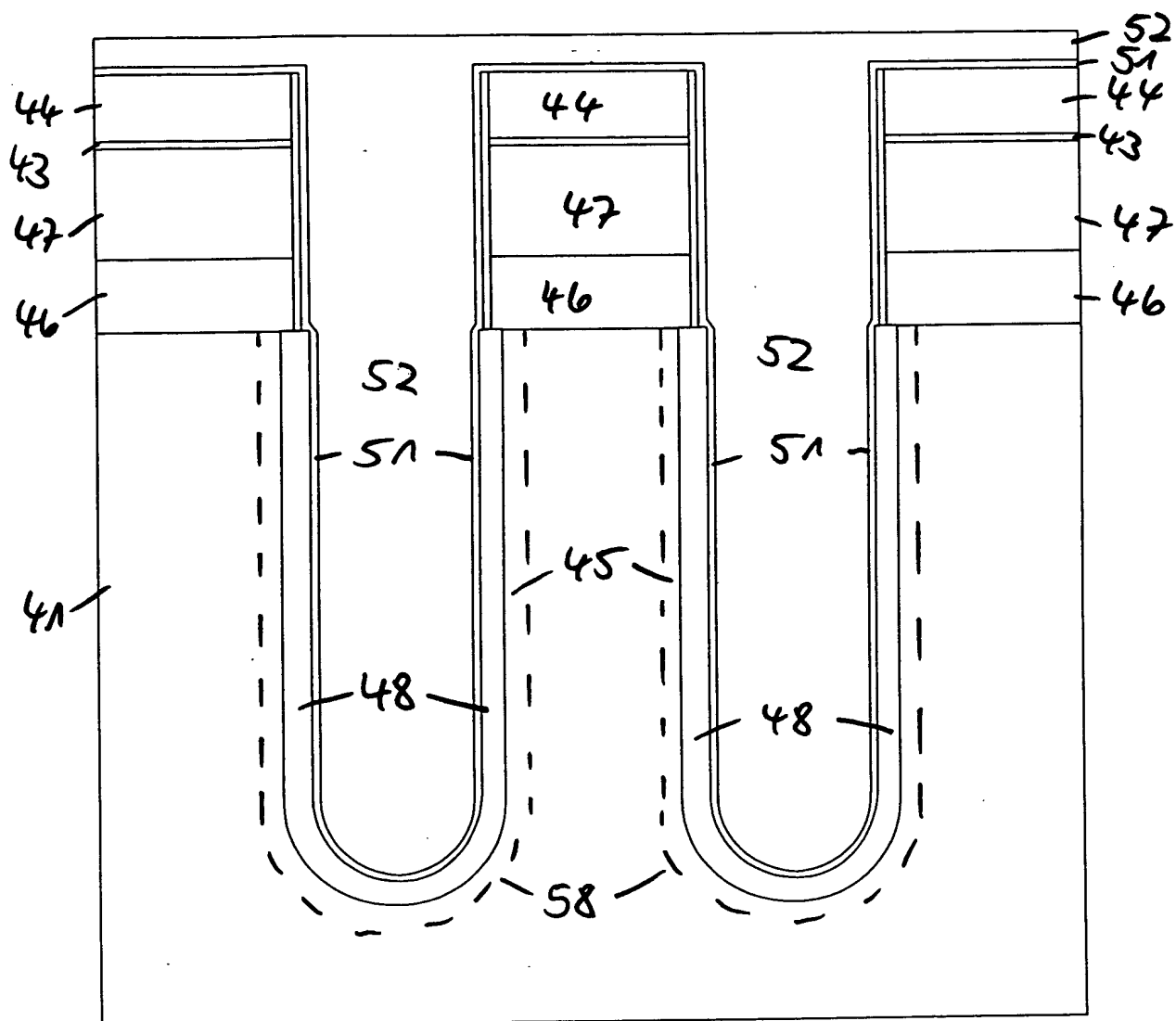


FIG. 13

14/15

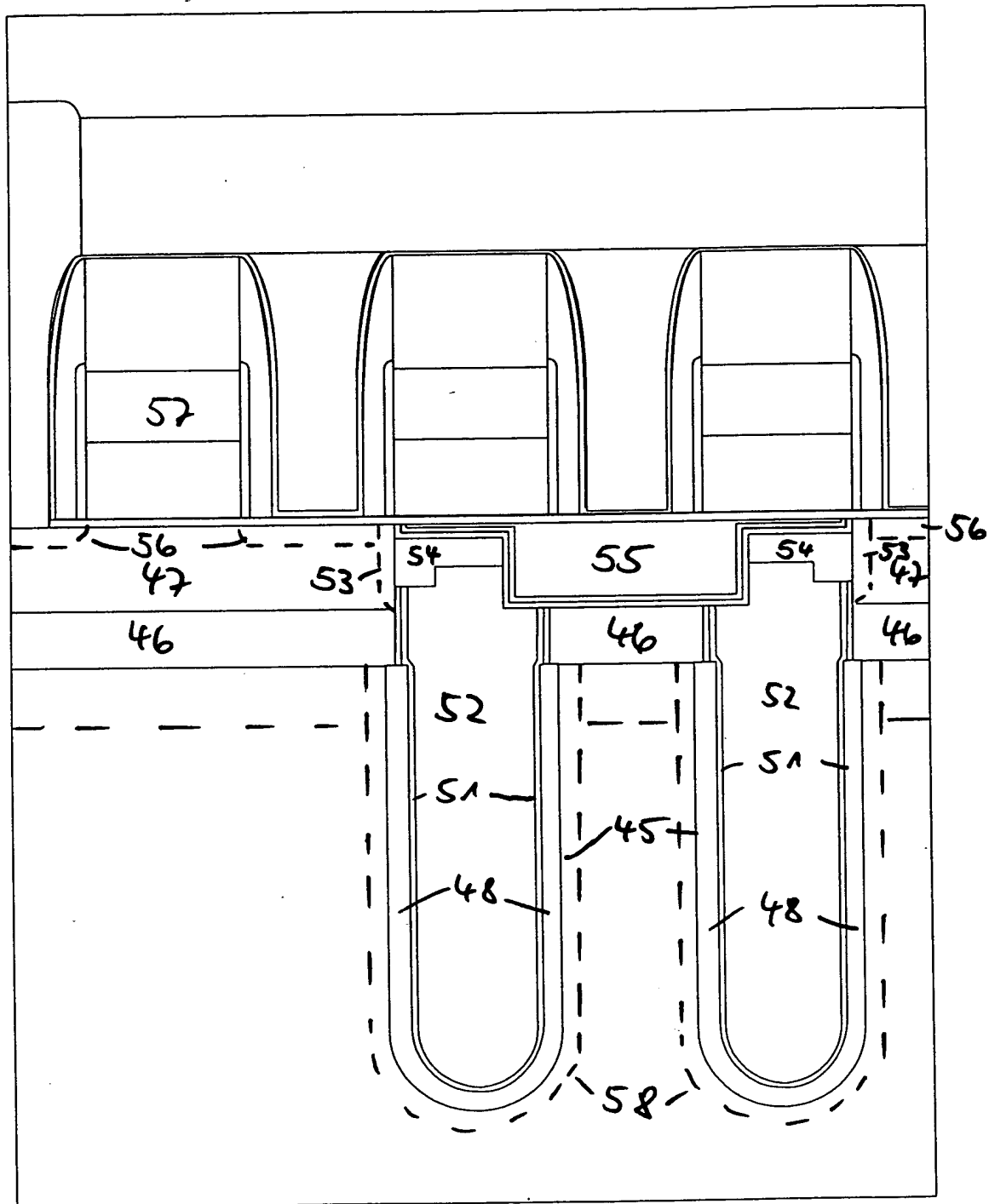


FIG. 14

15/19

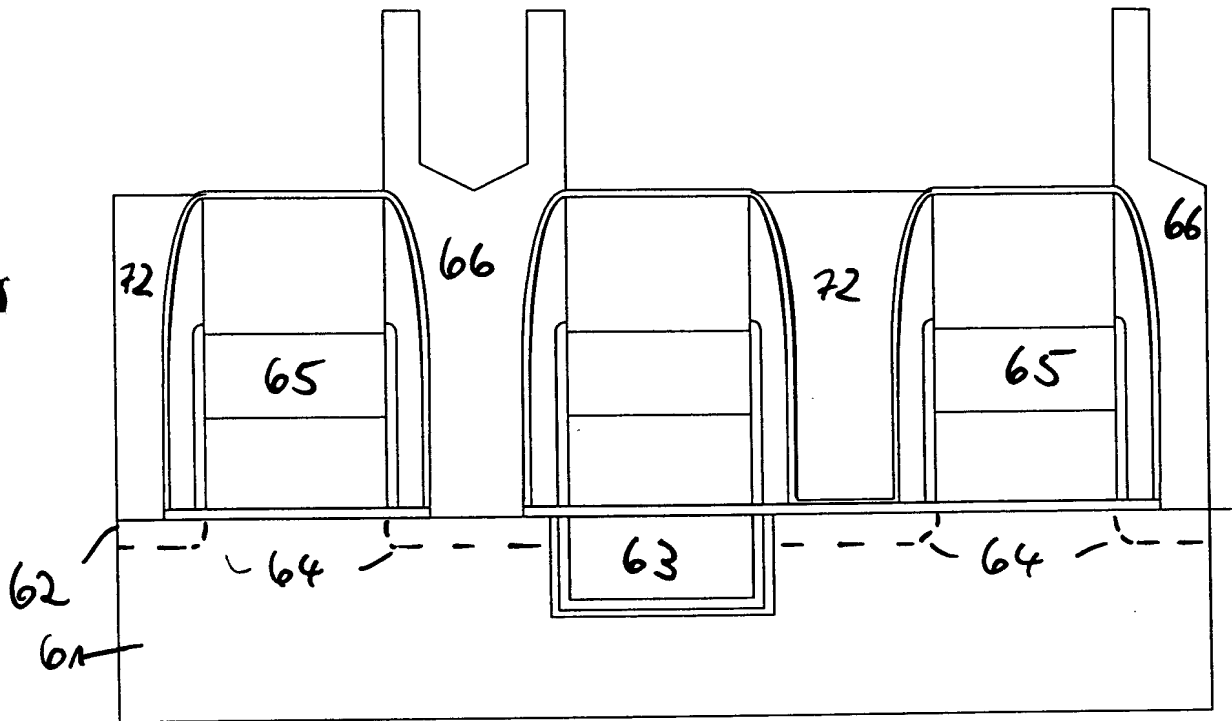


FIG. 15

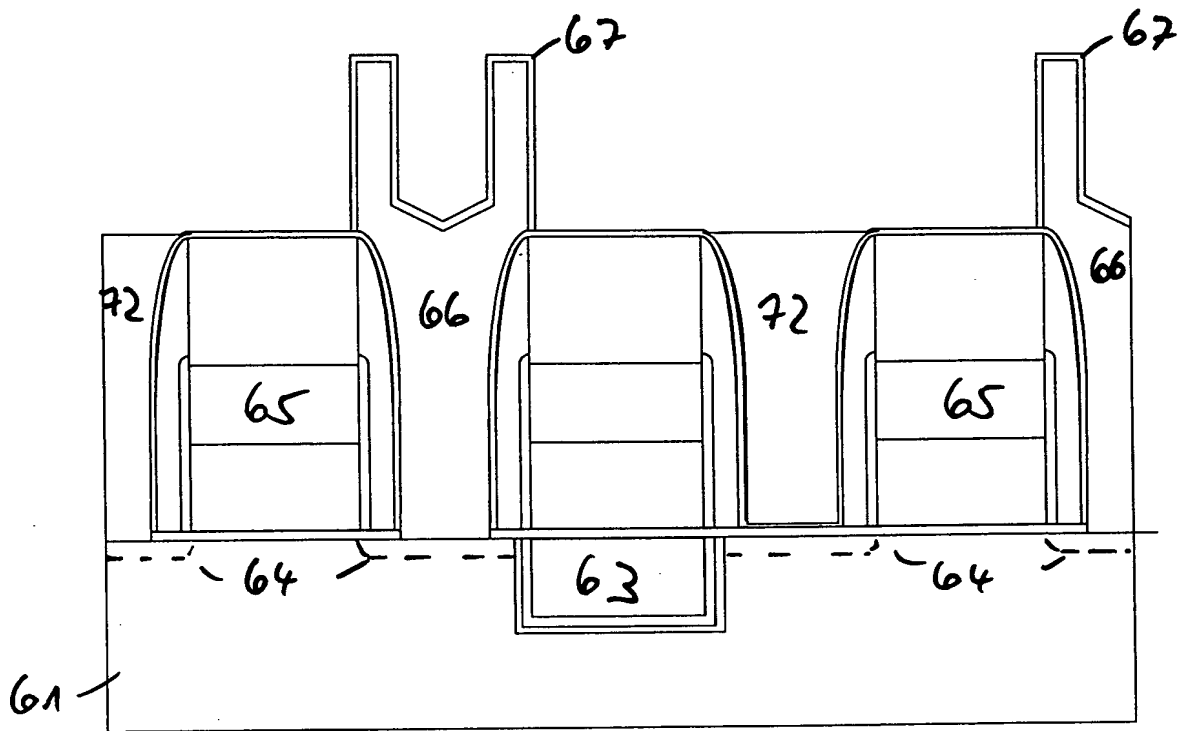


FIG. 16

17/19

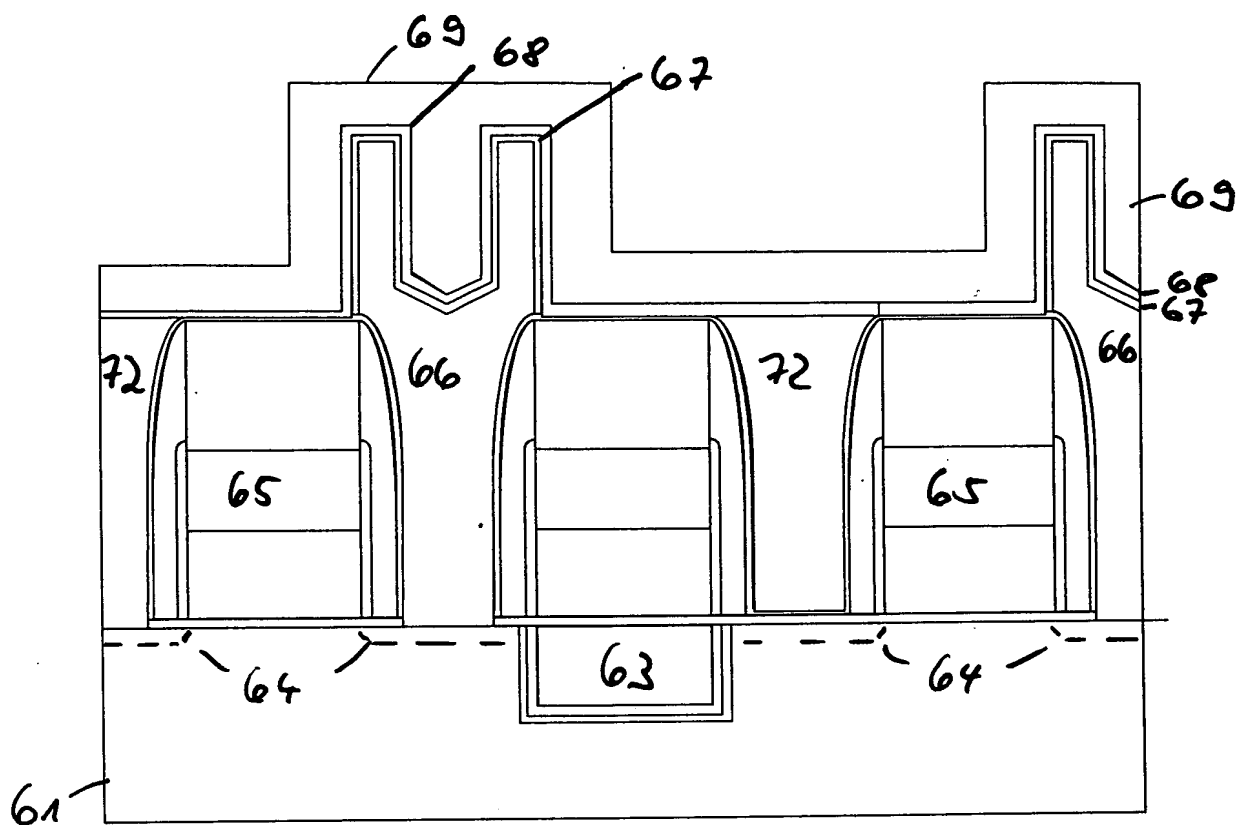


FIG. 17

18/19

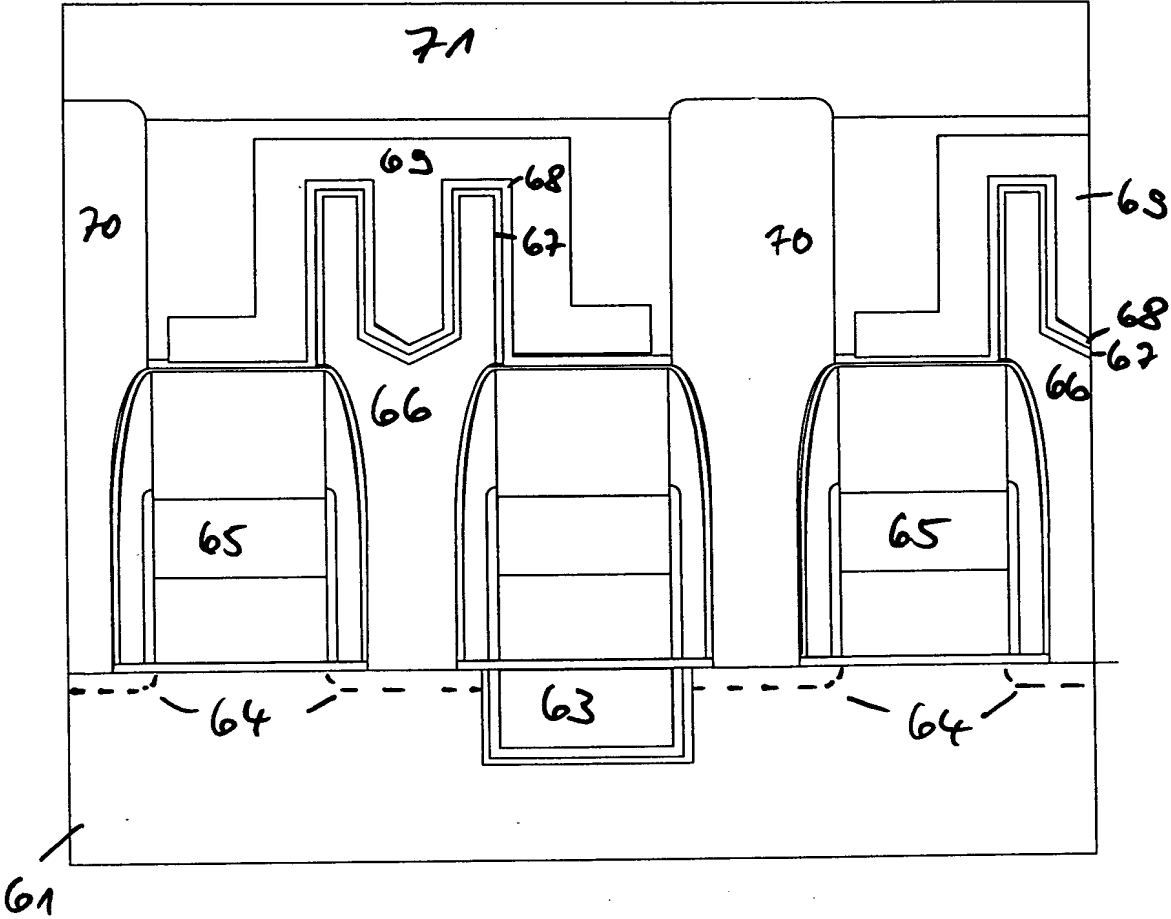


FIG. 18

1/9/19

FIG. 15

